

Vorlesung 3 – CMOS Schaltungen

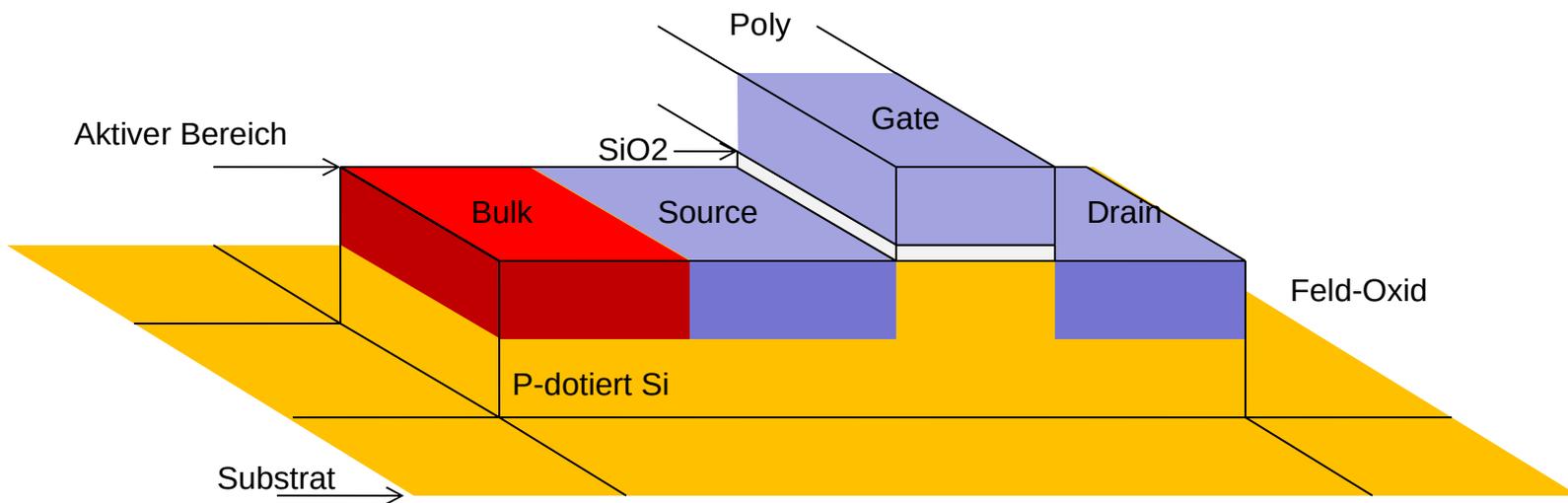
Teil 1: 9.5.2017 (Folien 1-17)

Teil 2: 16.5.2017 (Folien ab 18)

- CMOS logische Schaltungen – CMOS Gates
- CMOS – zwei Transistoren PMOS, NMOS
- CMOS steht für komplementäre Metal-Oxid-Semiconductor Transistoren
- (Name veraltet)
- Kontakte, Source, Drain: durch Diffusion erzeugt
- S, D – N/P, Bulk zwischen, P/N Struktur
- Dotierung von Source und Drain bestimmt die Ladungsträger

...

• ...

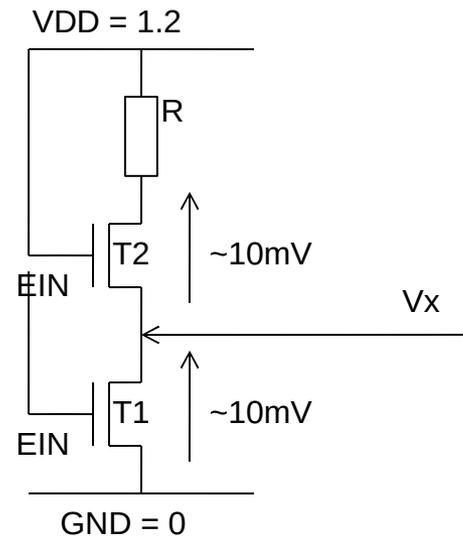
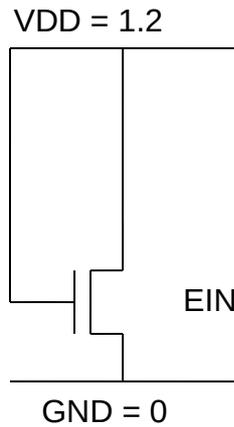


- Ein NMOS leitet Strom (Elektronen) bei einer positiven Gate-Source Spannung -> Typinversion
- Löcher im P-Bereich werden durch das E-Feld verdrängt, Elektronkanal an der Silizium/Oxid Oberfläche erzeugt
- NMOS leitet auch wenn Drain höheres Potential als Gate hat. Wichtig ist nur $V_{gs} > V_{th}$
- Transistorschwelle V_{th} ist die minimale Gate Source Spannung die den Transistor einschaltet. Diese Spannung ist fast immer im Bereich 0.3 – 0.5V.

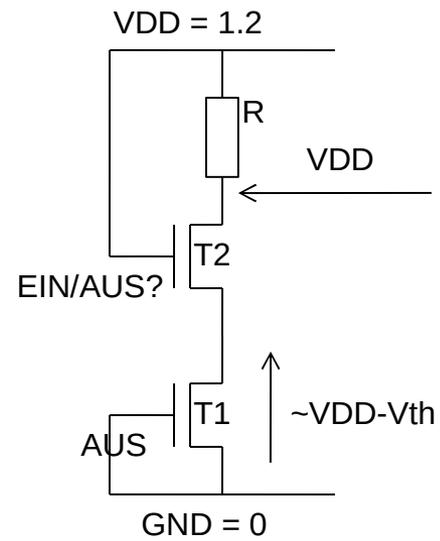
- Transistor ist symmetrisch
- NMOS: Source ist der Kontakt mit niedrigerem Potential

Nmos leitet

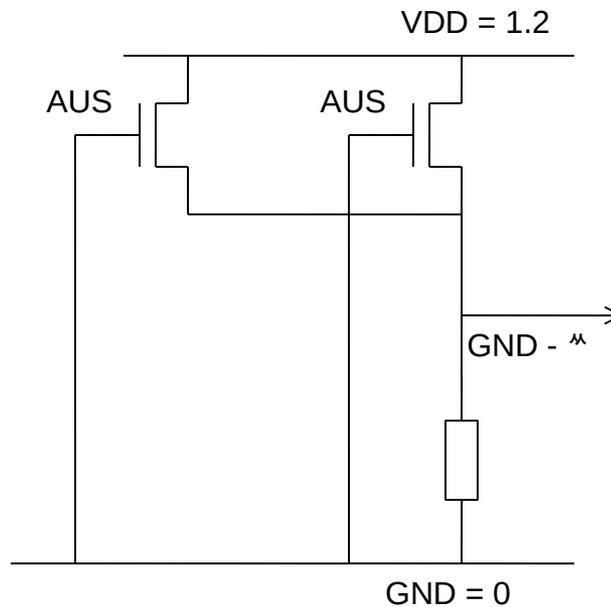
- Beispiel



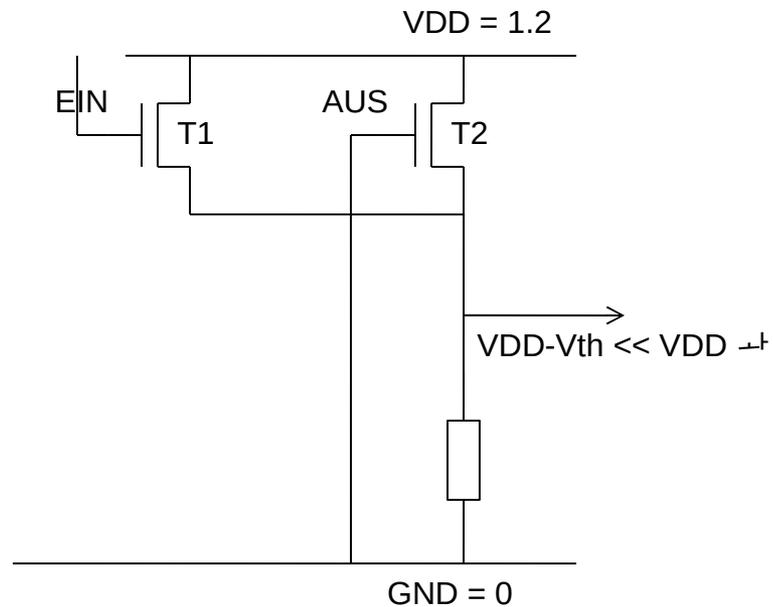
- Beispiel



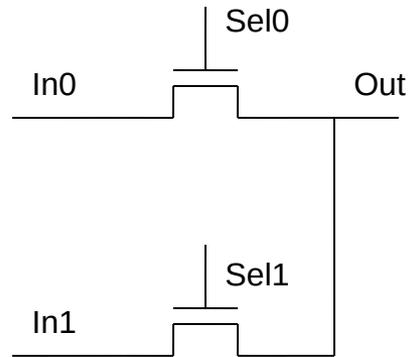
- NMOS Transistoren leiten besser wenn ihre Source-Kontakte an GND angeschlossen werden.
- ODER – Gate mit NMOS-en



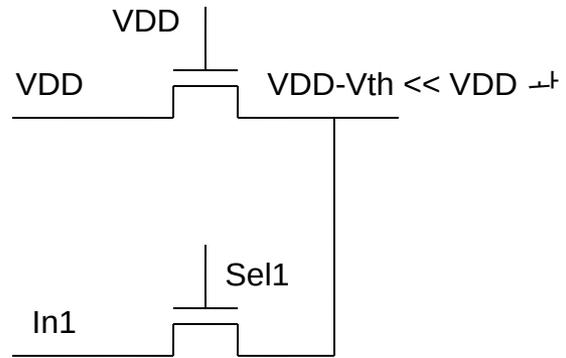
- NMOS Transistoren leiten besser wenn ihre Source-Kontakte an GND angeschlossen werden.
- ODER – Gate mit NMOS-en: Der Ausgang erreicht logische 1 nicht



- Multiplexer



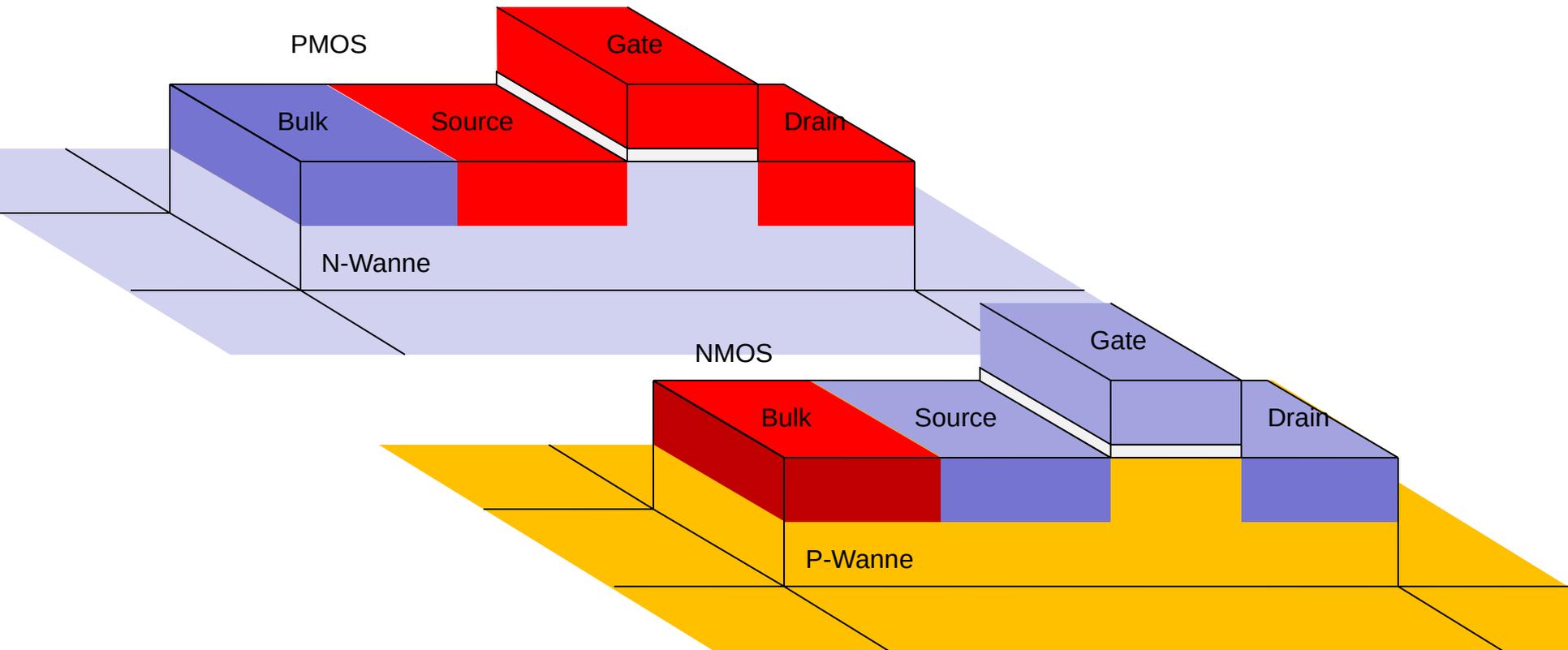
- Multiplexer



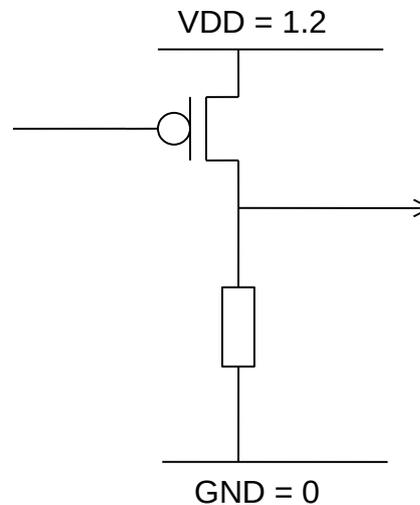
- PMOS Struktur
- P-dotierte Source und Drain (Diffusion). Bereich zwischen Source und Drain ist N-Dotiert.
- Negatives Gate – Source Spannung erzeugt die Typinversion im N-Bereich. Elektronen werden abgestoßen und die Löcher an die Silizium/Oxid Oberfläche angezogen. Transistor leitet
- Im PMOS ist Source der Kontakt mit höherem Potential.

...

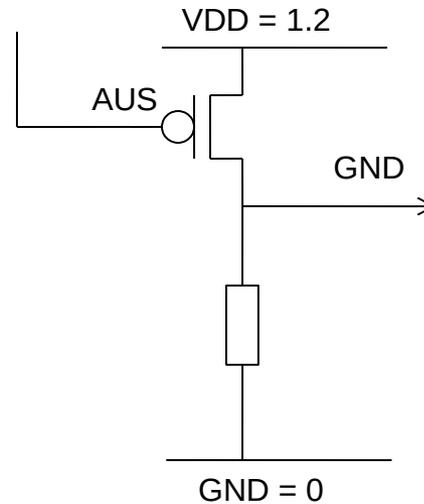
• ...



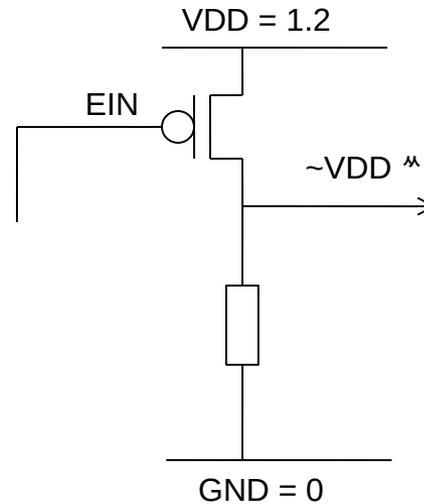
- PMOS leitet besser wenn sein Source an VDD angeschlossen ist.
- PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren.
- PMOS Inverter



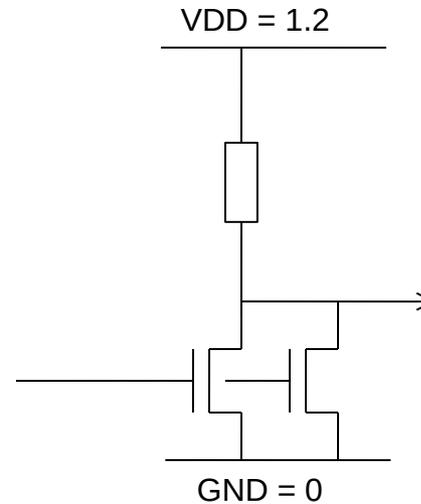
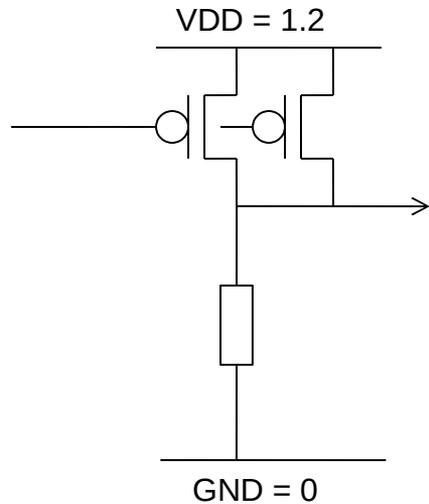
- PMOS leitet besser wenn sein Source an VDD angeschlossen ist.
- PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren.
- PMOS Inverter



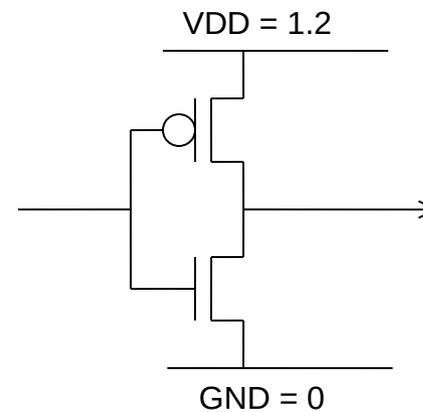
- PMOS leitet besser wenn sein Source an VDD angeschlossen ist.
- PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren.
- PMOS Inverter



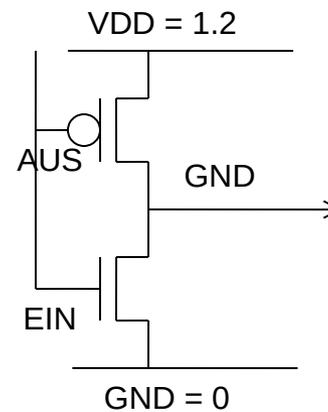
- Logische Schaltungen mit NMOS Transistoren und Pullup-Widerständen und mit PMOS Transistoren und Pulldown Widerständen sind möglich.
- RTL-Logik Familie
- Nachteile - DC Stromverbrauch
- Man kann R vergrößern aber große Polysilizium Widerstände sind auf einem Chip groß.
- Logische Gatter wären langsam



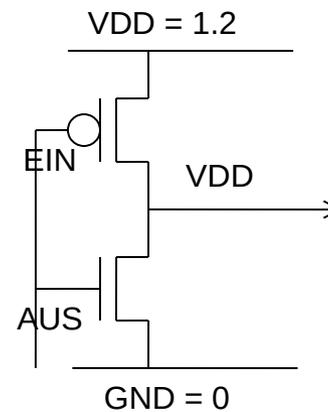
- NMOS und PMOS Transistoren sind komplementär
- NMOS – GND, PMOS – VDD
- Gates haben verschiedene Polaritäten
- Idee: In einem NMOS Inverter den Widerstand durch den PMOS ersetzen
- CMOS Inverter



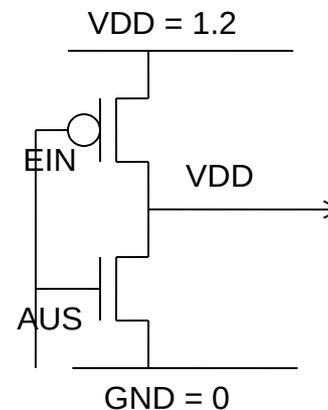
- NMOS und PMOS Transistoren sind komplementär
- NMOS – GND, PMOS – VDD
- Gates haben verschiedene Polaritäten
- Idee: In einem NMOS Inverter den Widerstand durch den PMOS ersetzen
- CMOS Inverter



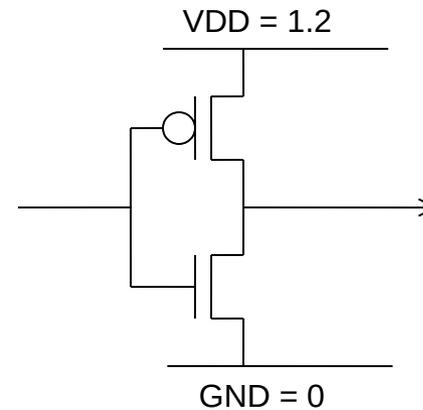
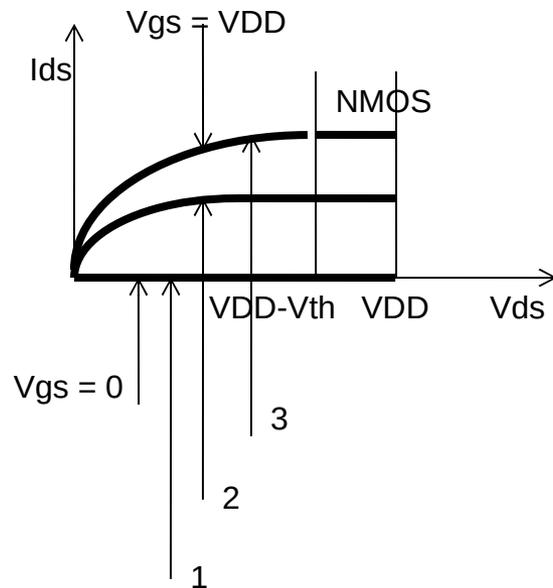
- NMOS und PMOS Transistoren sind komplementär
- NMOS – GND, PMOS – VDD
- Gates haben verschiedene Polaritäten
- **Idee: In einem NMOS Inverter den Widerstand durch den PMOS ersetzen**
- **CMOS Inverter**



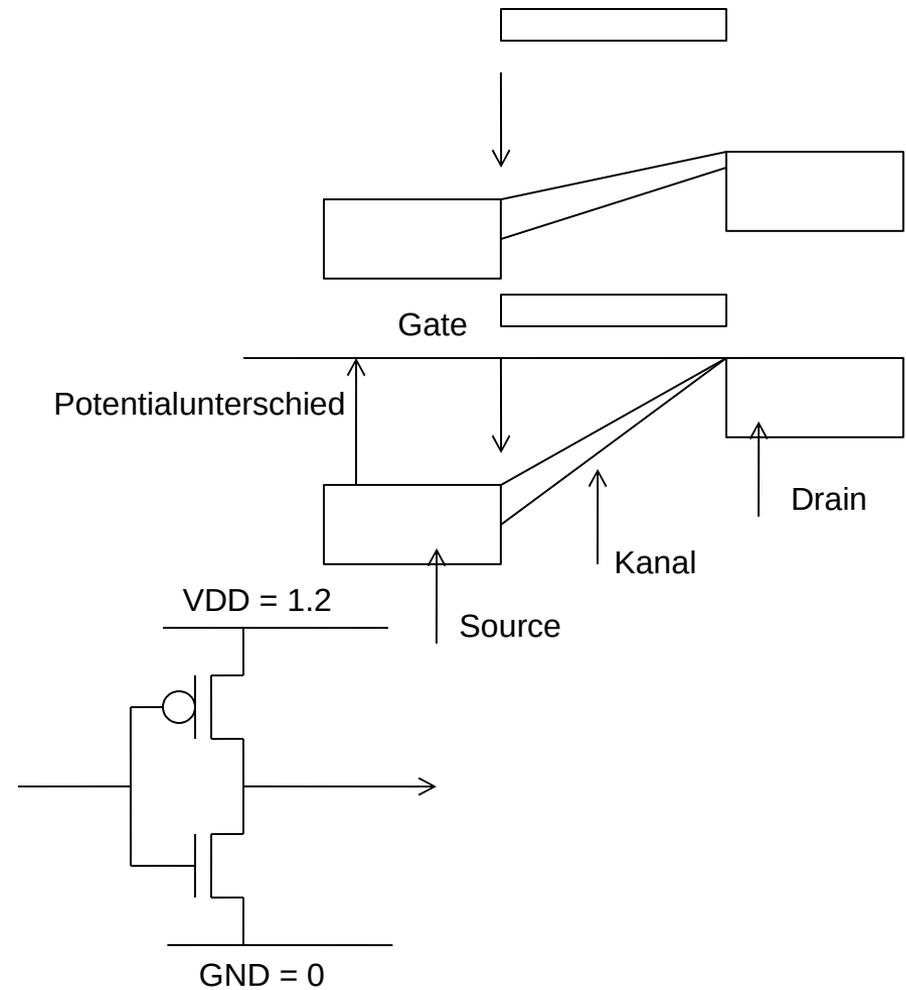
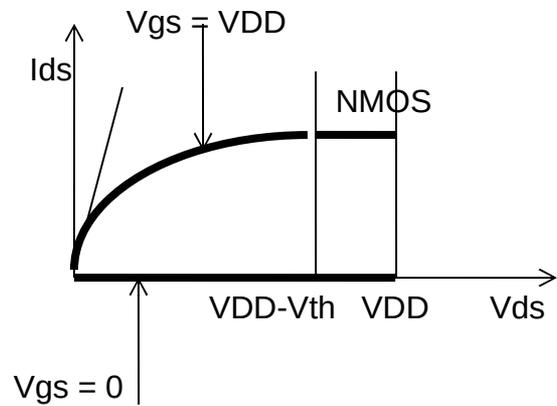
- Vorteile:
- Kein DC Strom
- Inverter besteht nur aus Transistoren – klein im Layout
- Die Umlade-Zeit hängt vom Widerstand des leitenden Transistors und der Ausgangskapazität. Die Transistoren können passend dimensioniert werden
-> die Schaltung ist schnell.



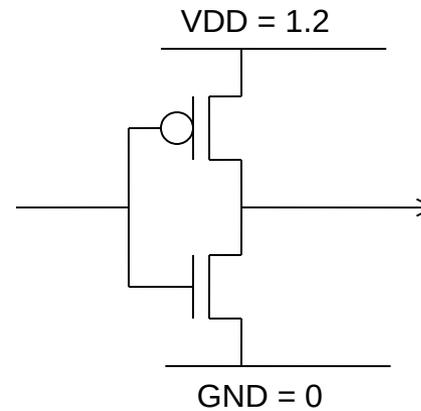
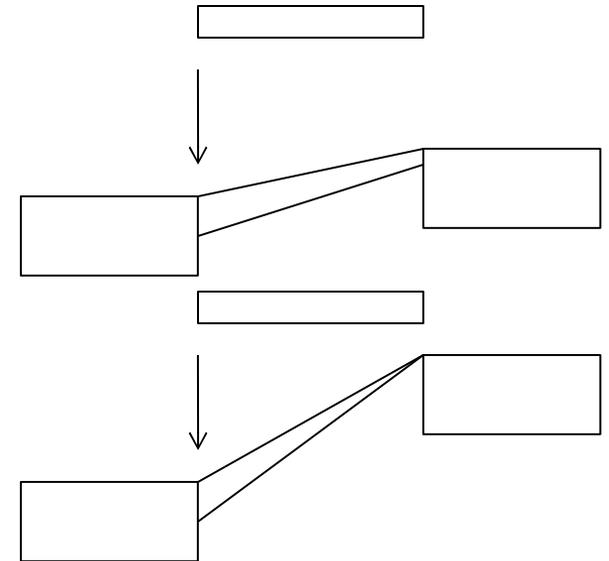
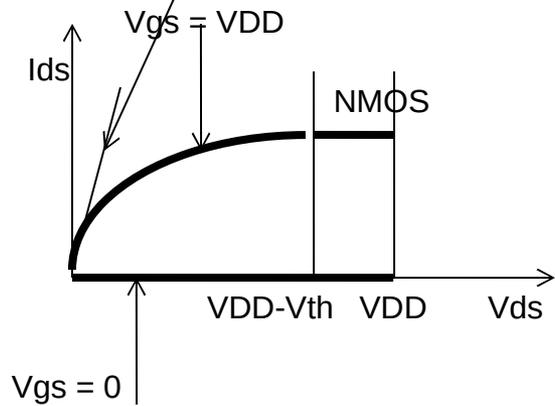
- DC (Kennlinie), AC (Geschwindigkeit) Analyse
- Kennlinien
- Spannungsabhängiger Widerstand



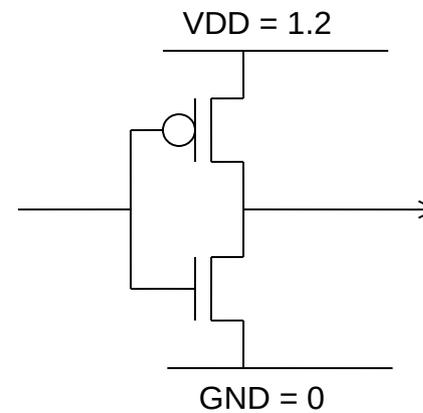
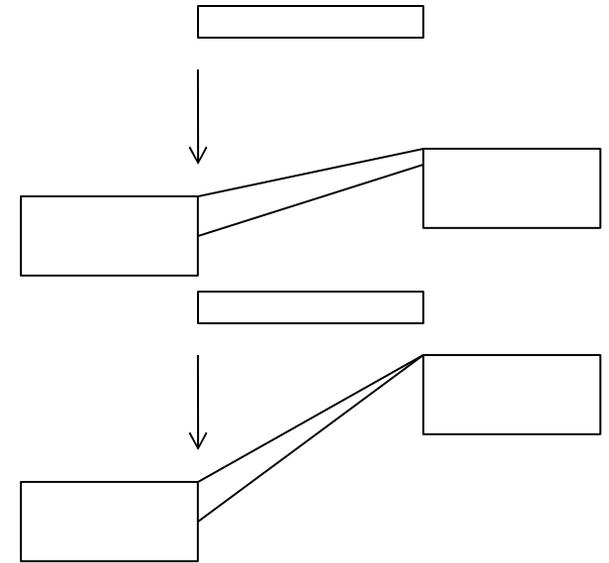
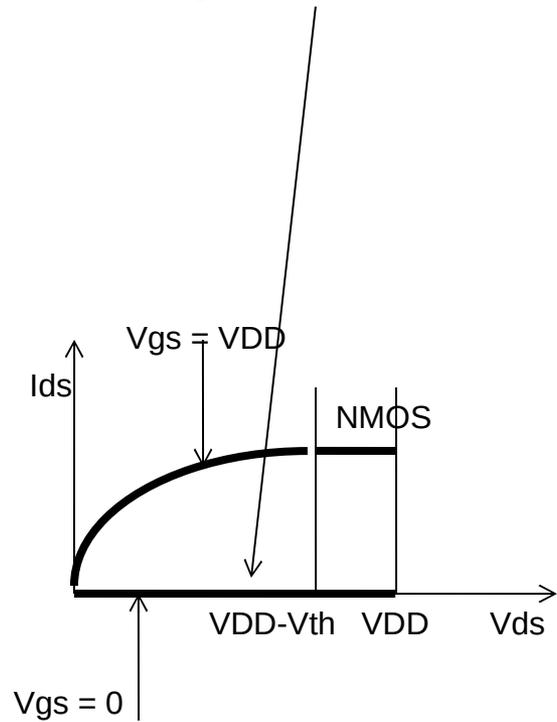
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$



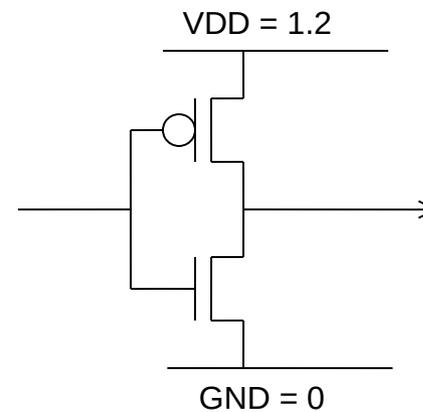
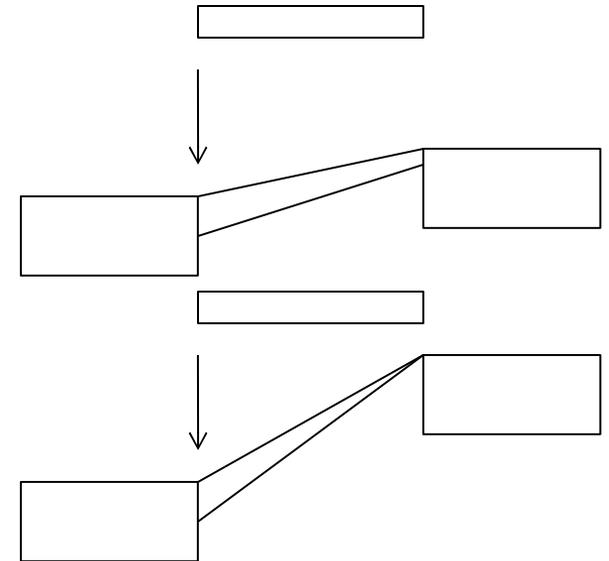
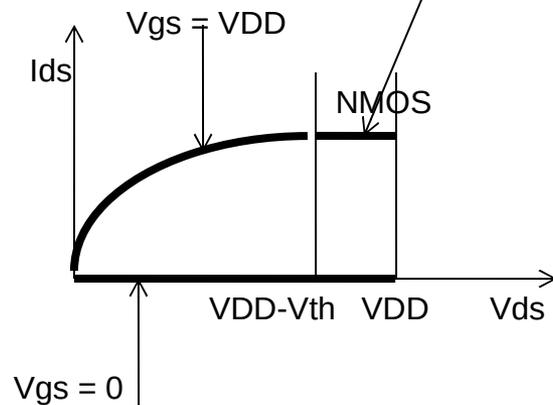
- $$I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$$



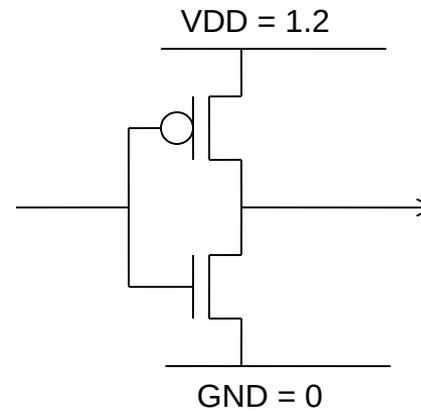
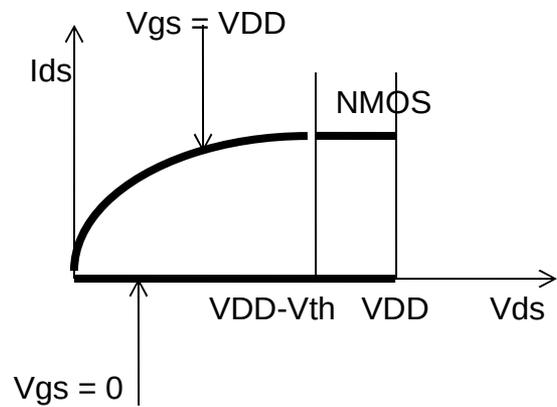
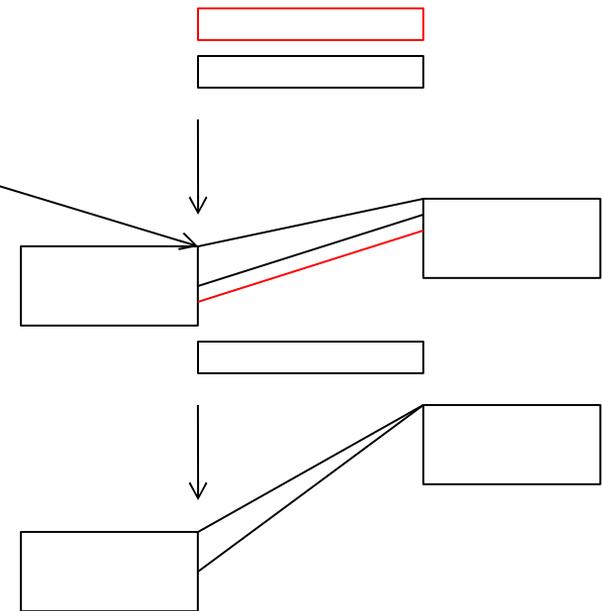
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$
- Für $V_{gs} < V_{th}$ der Strom ist null



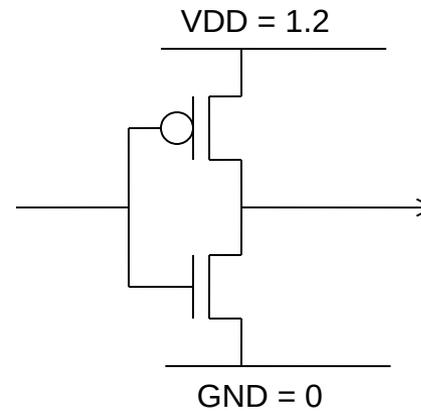
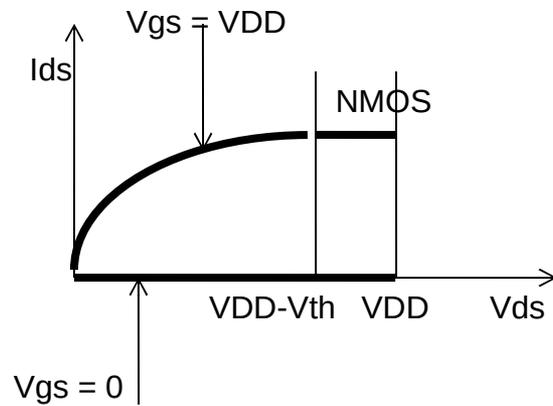
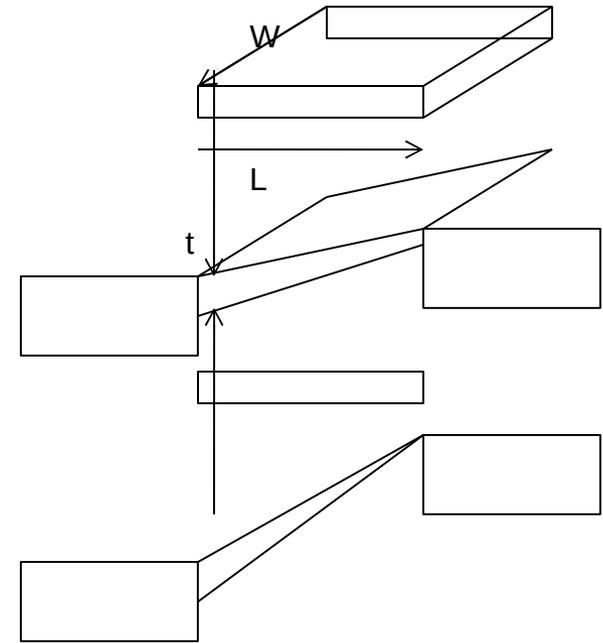
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$
- Für $V_{gs} > V_{ds} - V_{th}$ der Strom ist
- $I_{ds} = \frac{1}{2} \mu C_{ox} W/L (V_{gs} - V_{th})^2$



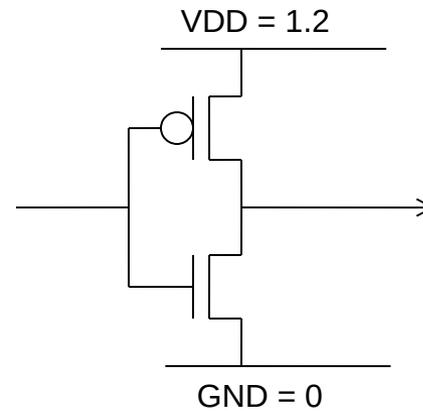
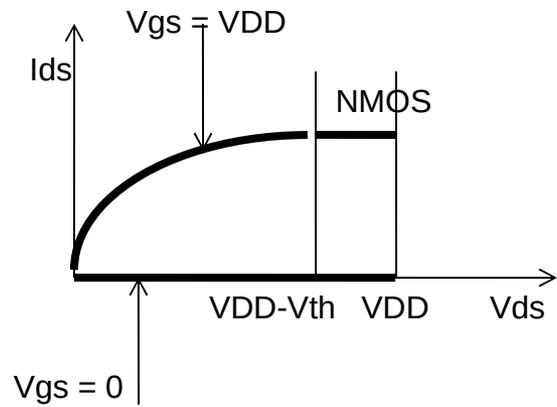
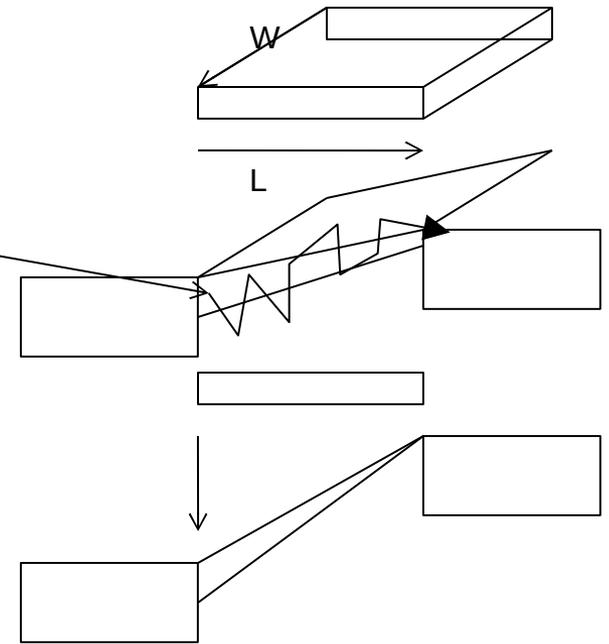
- $$I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$$



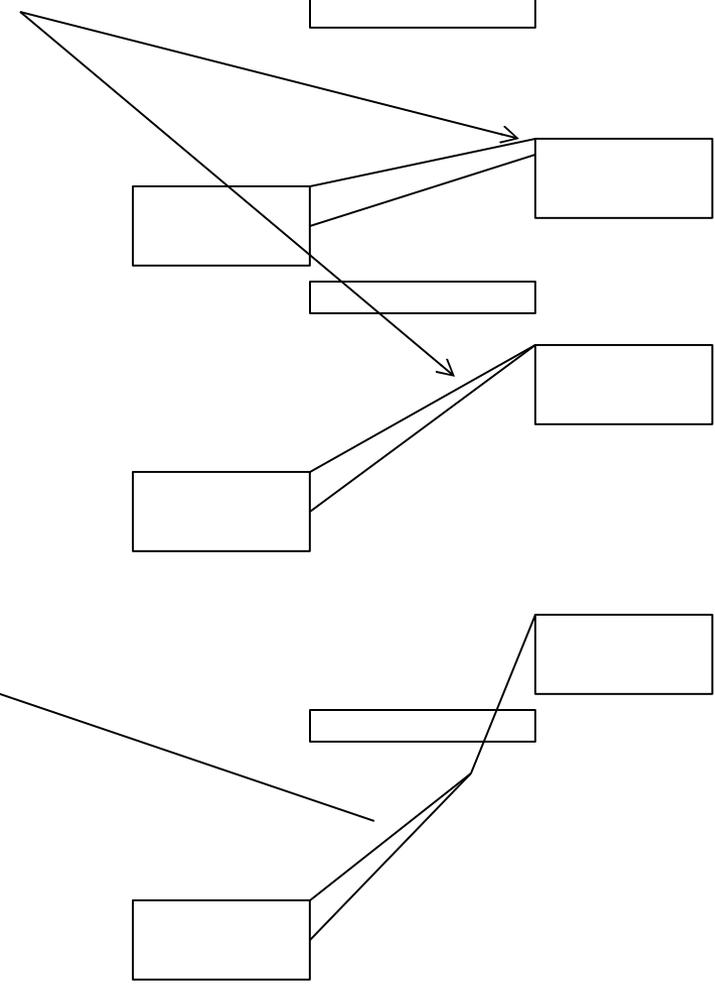
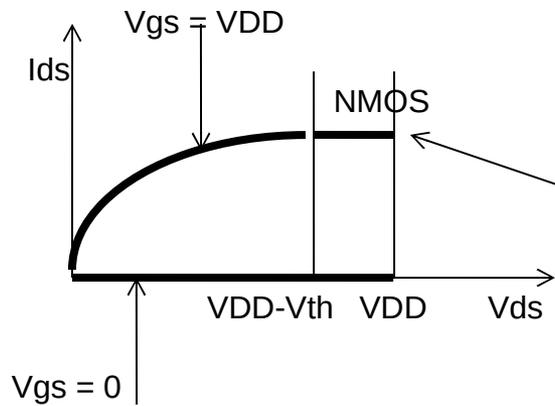
- $$I_{ds} = \mu C_{ox} \frac{W}{L} ((V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2})$$



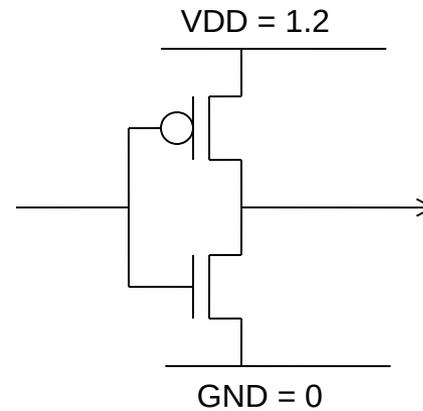
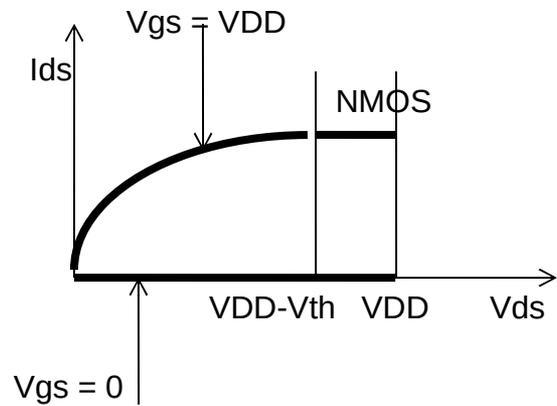
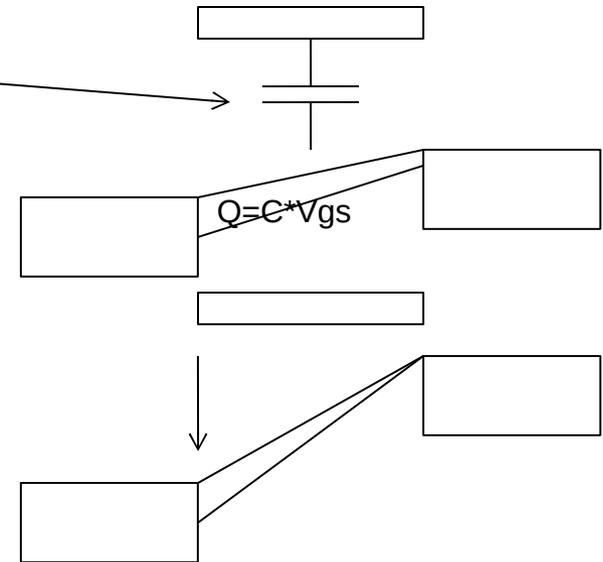
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$



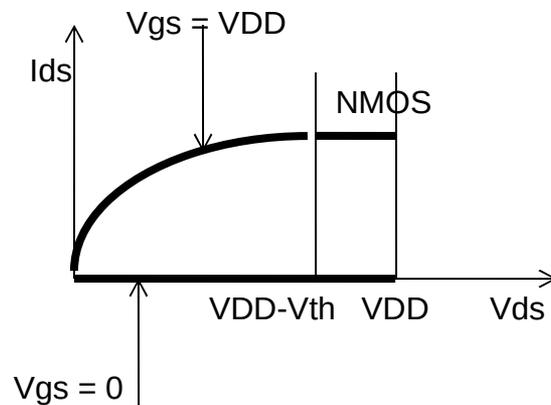
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$



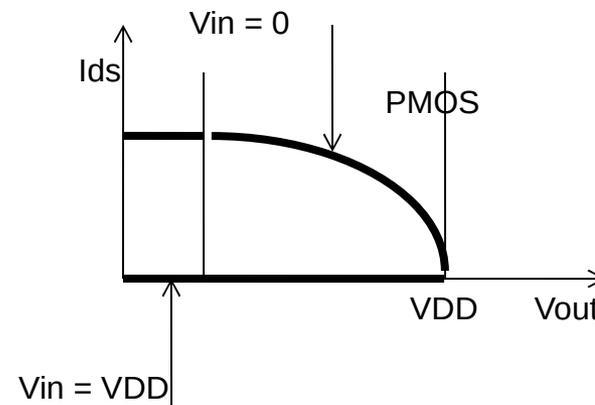
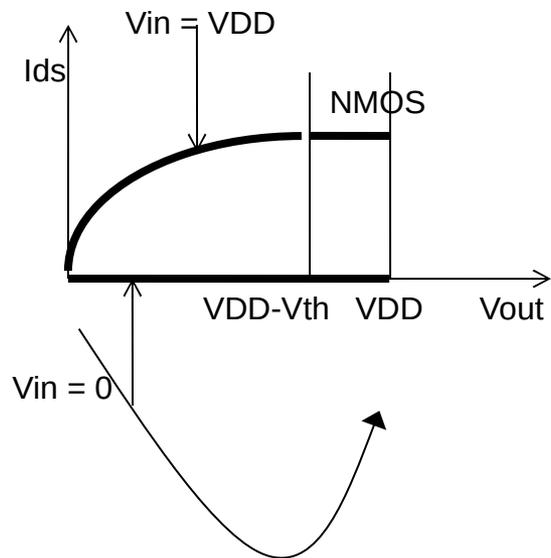
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$



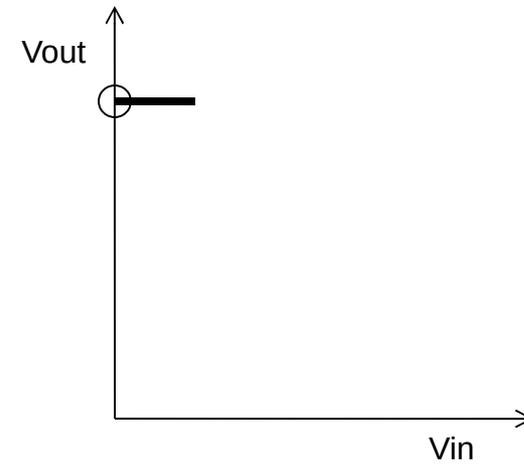
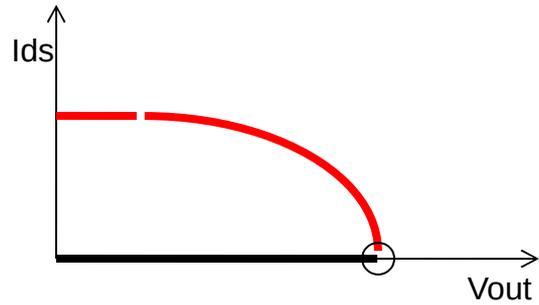
- Man kann den Leitwert des Transistors erhöhen indem man W/L erhöht.
- **Mobilität der Löcher ist etwa 2x niedriger, deshalb leitet ein PMOS mit gleichem W/L Verhältnis etwa 2x schlechter.** Das soll beim Design berücksichtigt werden.



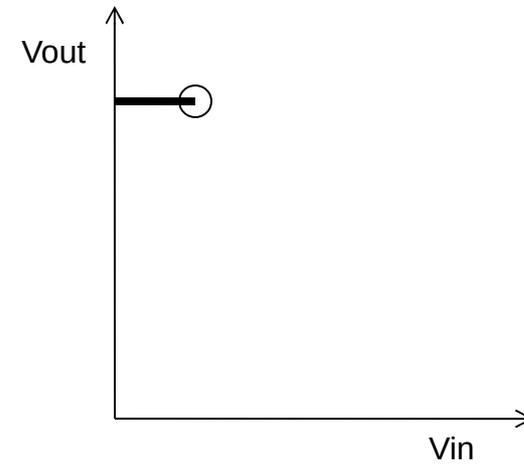
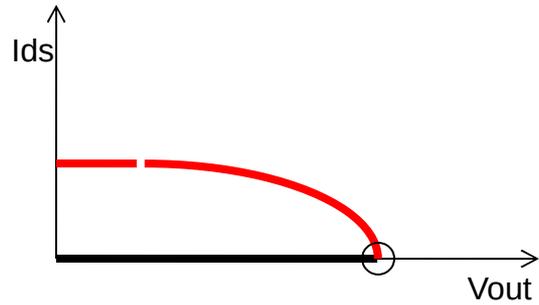
- Inverter: folgendes gilt:
- V_{ds} des NMOS Transistos = V_{out} .
- V_{gs} des NMOS Transistos = V_{in} .
- $|V_{ds}|$ des PMOS Transistos = $V_{DD} - V_{out}$.
- $|V_{gs}|$ des PMOS Transistos = $V_{DD} - V_{in}$



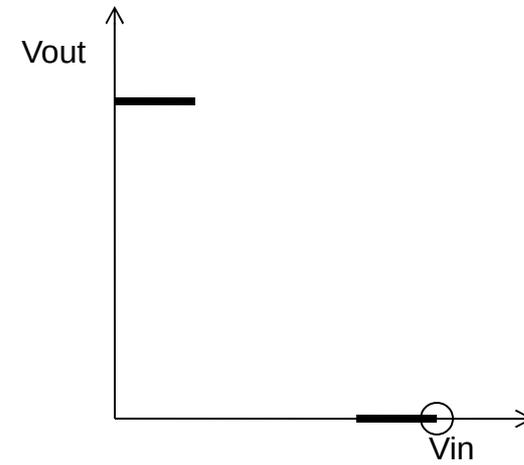
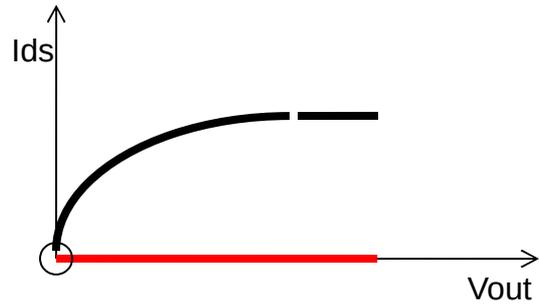
- Für $V_{in} < V_{th}$, leitet der NMOS nicht und $V_{out} = V_{DD}$



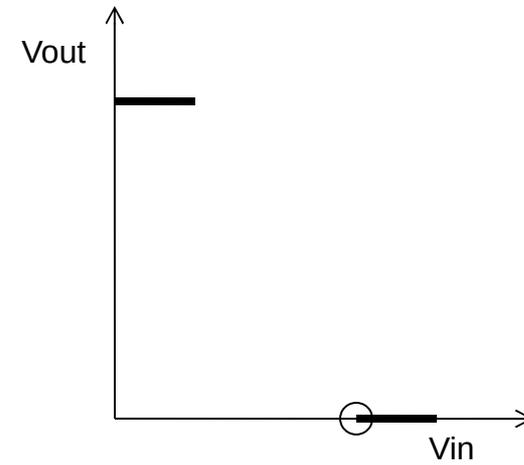
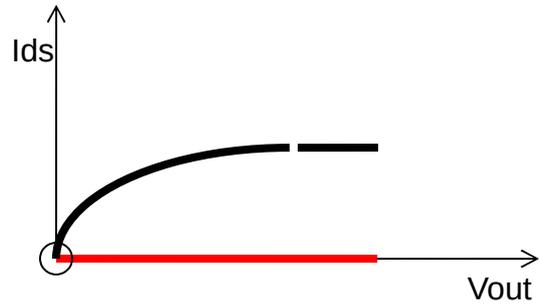
- Für $V_{in} < V_{th}$, leitet der NMOS nicht und $V_{out} = V_{DD}$



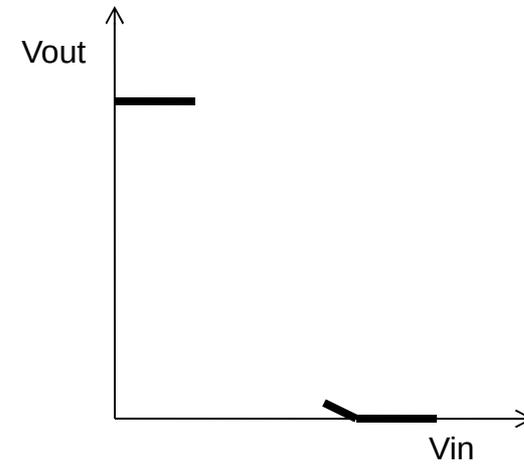
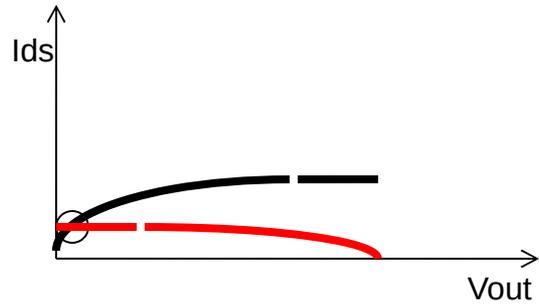
- Für $V_{in} > V_{DD} - V_{th}$ leitet der PMOS nicht und $V_{out} = 0$.



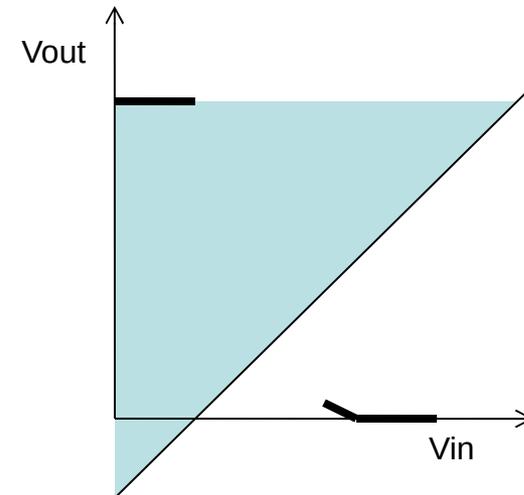
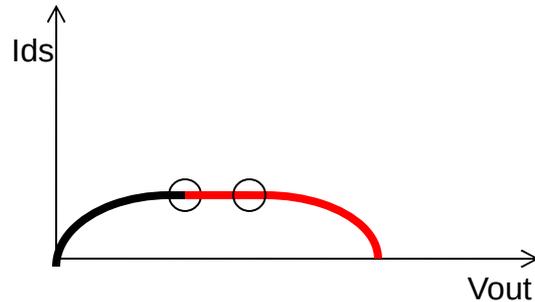
- Für $V_{in} > V_{DD} - V_{th}$ leitet der PMOS nicht und $V_{out} = 0$.



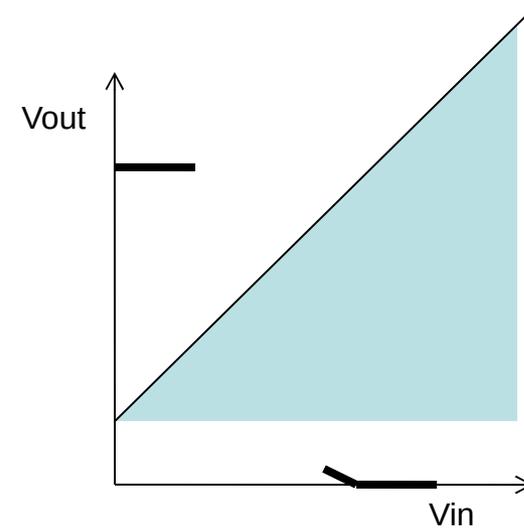
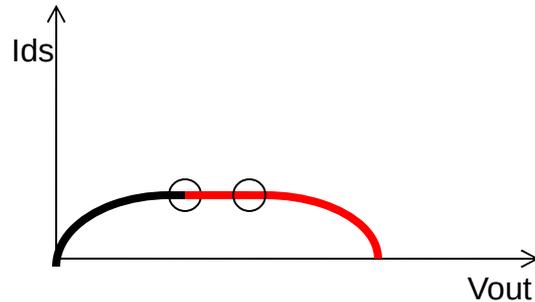
- Im Bereich $V_{th} < V_{in} < V_{DD} - V_{th}$ leiten beide Transistoren



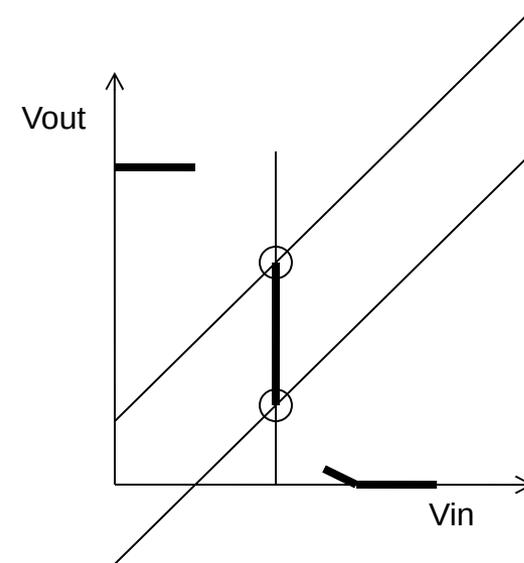
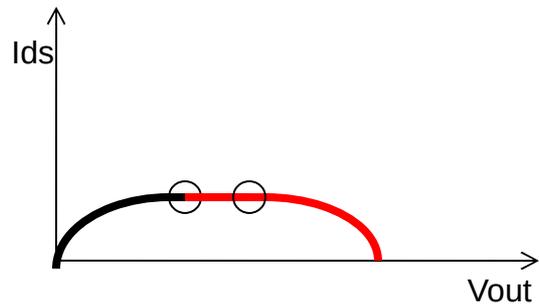
- Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind
- Für NMOS ist Sättigung für $V_{ds} > V_{gs} - V_{th}$ gegeben $\rightarrow V_{out} > V_{in} - V_{th}$



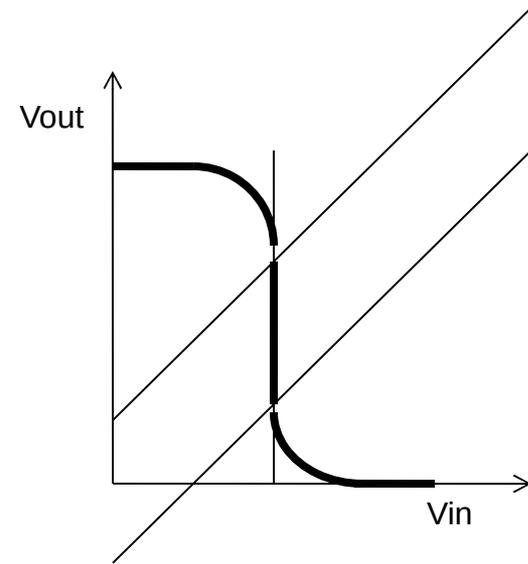
- Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind
- Für PMOS haben wir Sättigung wenn $|V_{ds}| > |V_{gs}| - |V_{th}| \rightarrow V_{out} < V_{in} + V_{th}$



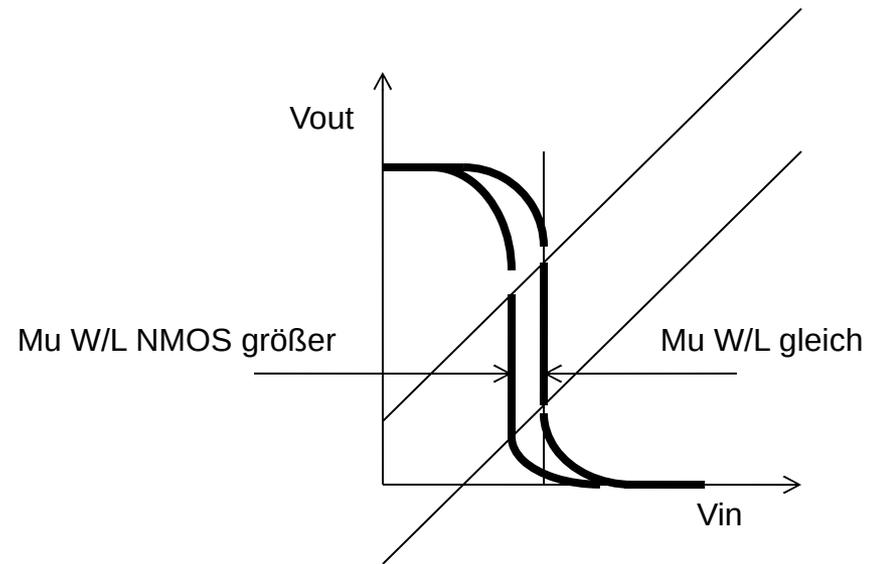
- Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind
- ...



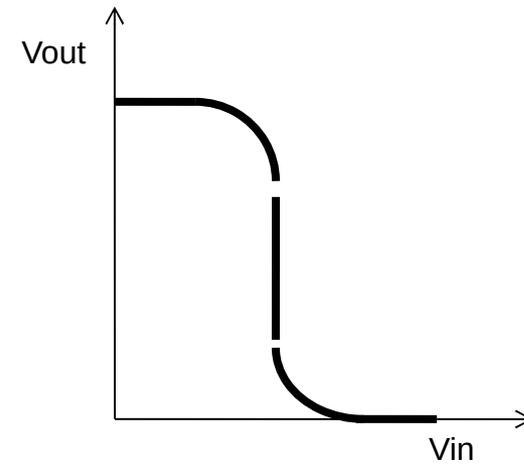
- ...



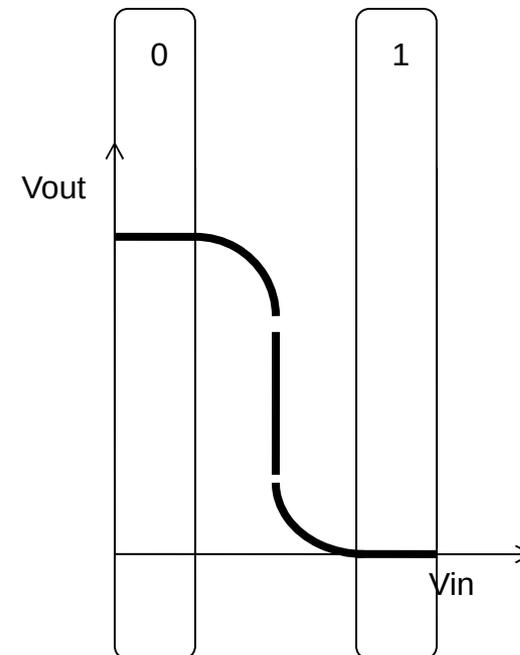
• ...



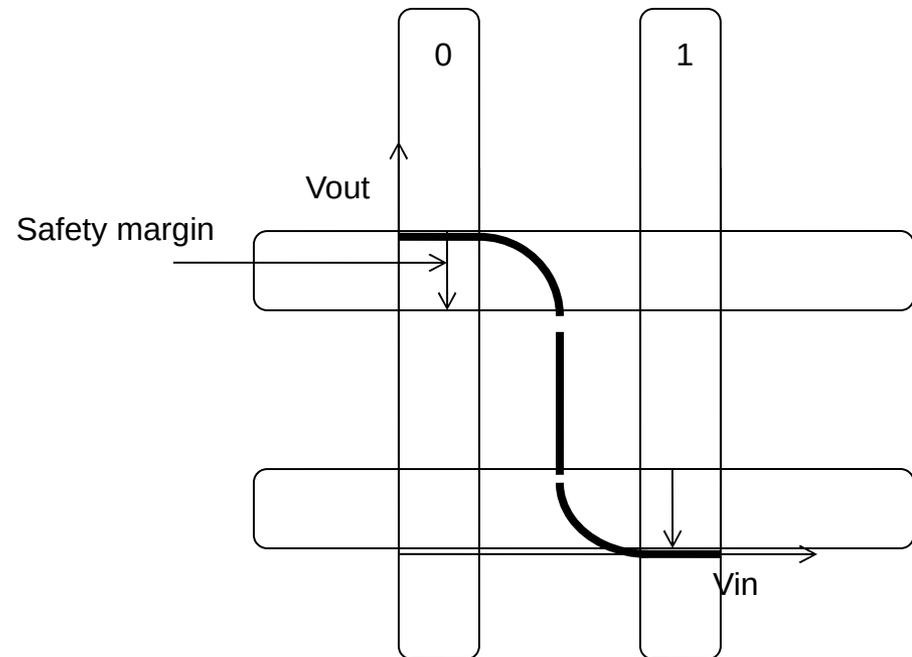
- die Kennlinie ist stark nichtlinear – es ist in Ordnung weil...
- wir möchten, dass für den Eingang = 1, der Ausgang auf jeden Fall logische 0 ist.
- wenn der Eingang = 0, sollte Ausgang logische 1 ist.



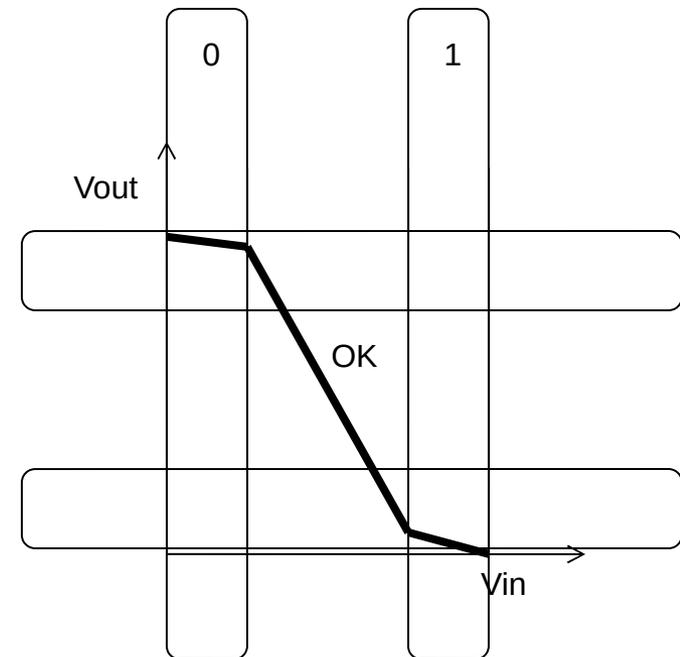
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



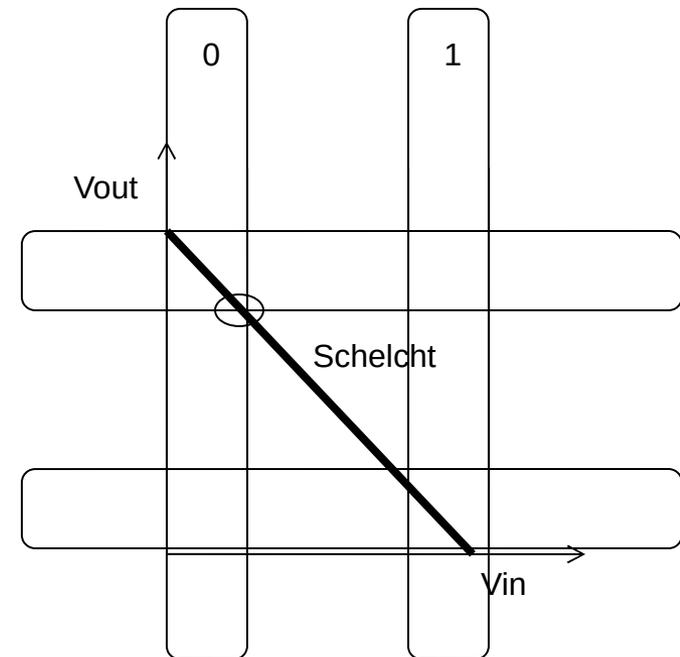
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



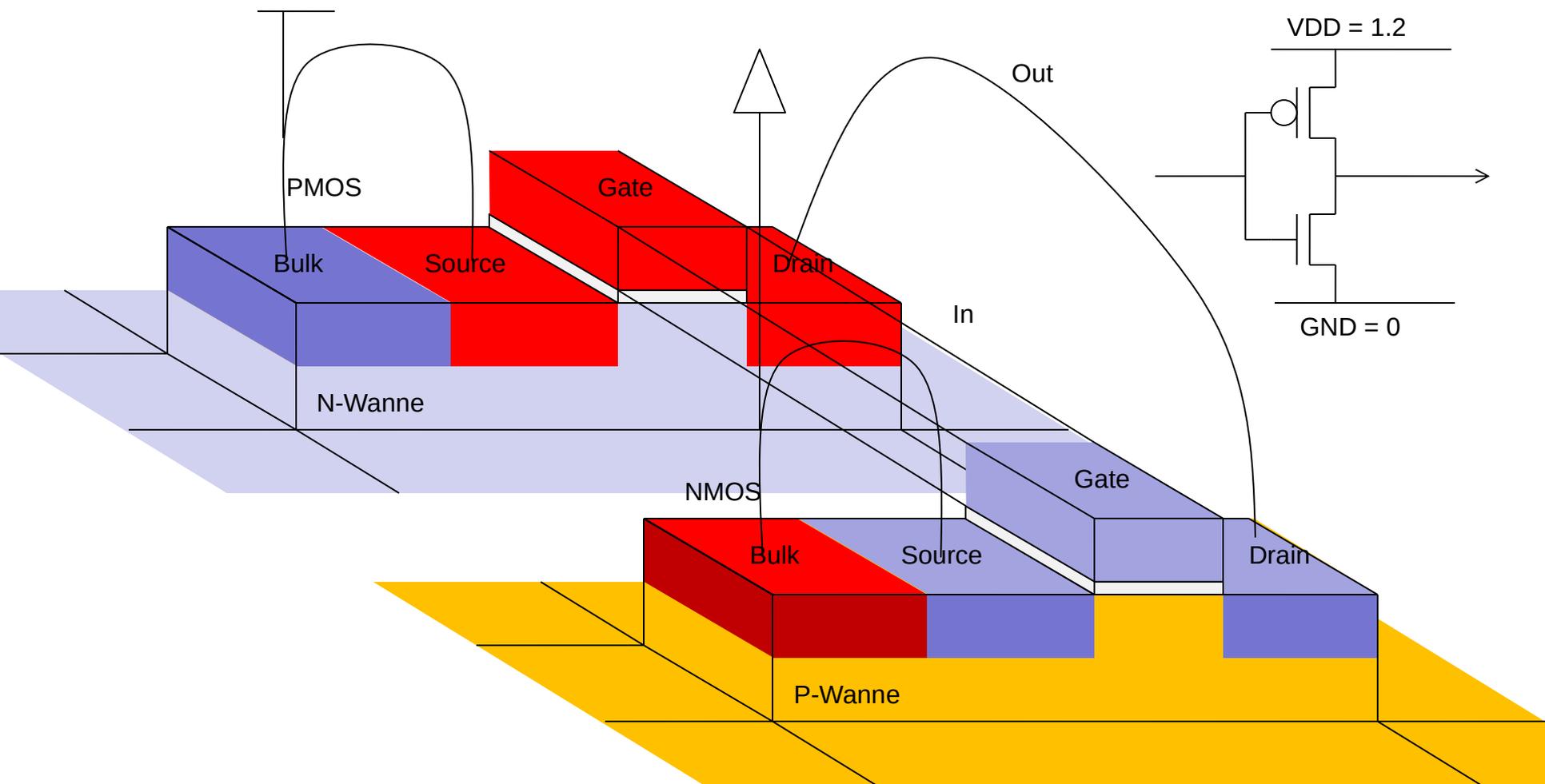
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



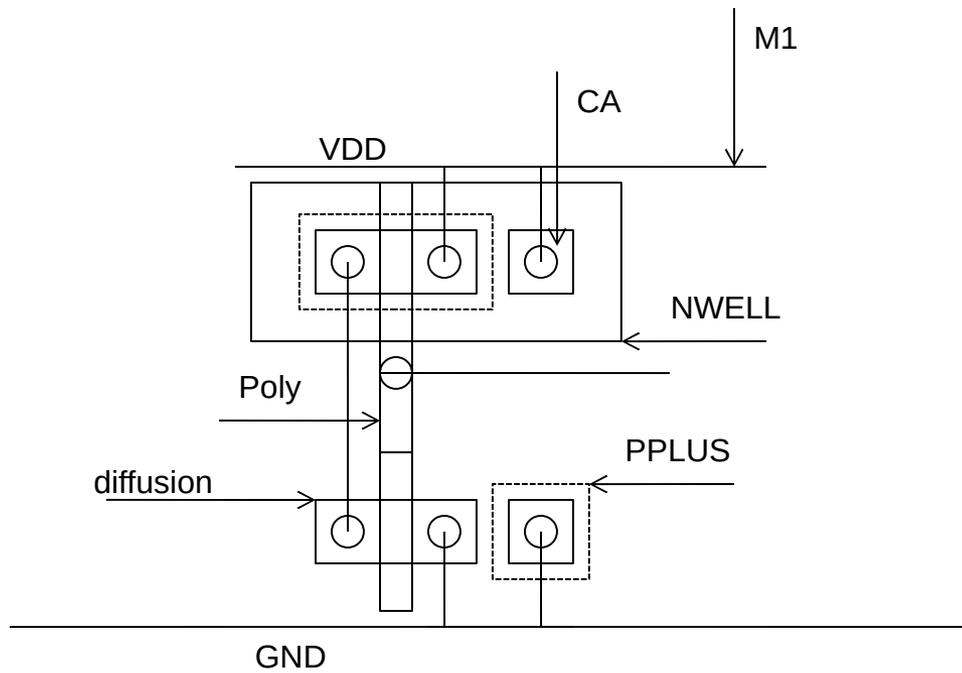
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



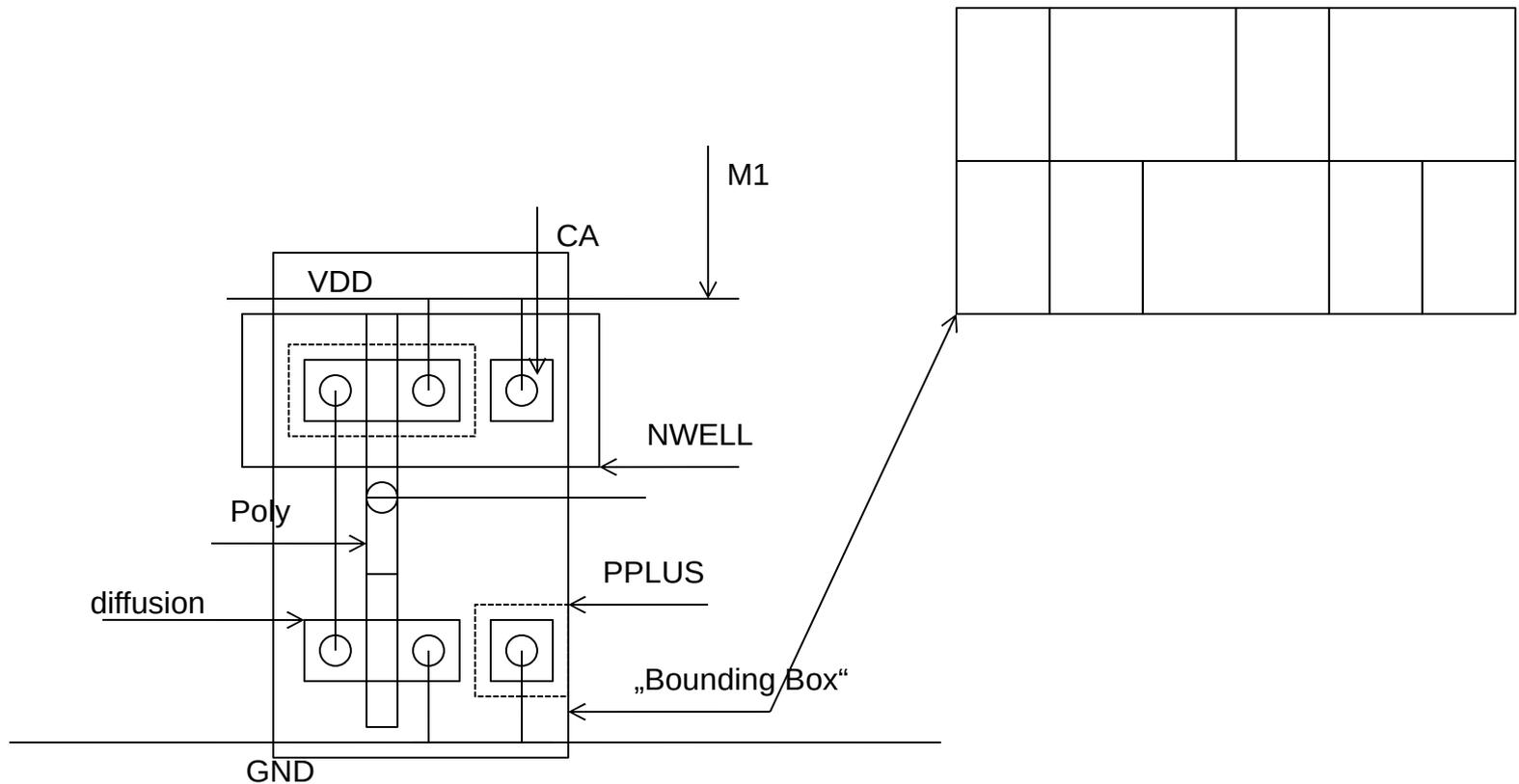
- Layout



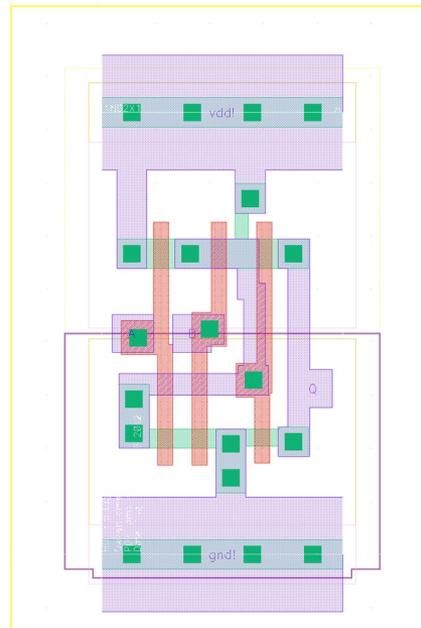
- Layout



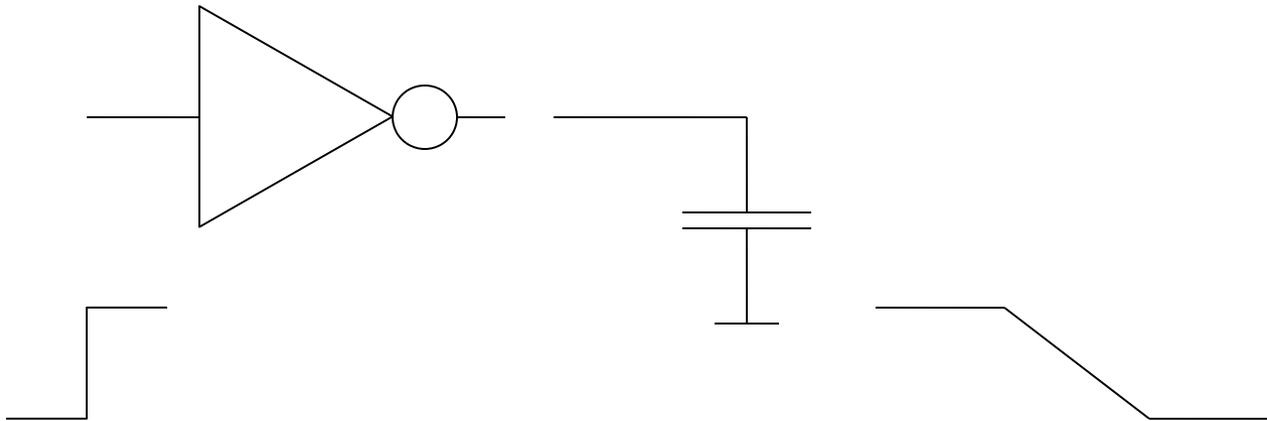
- Standardzelle
- Bestimmte Größe – Höhe gleich, Breite $N * W_{min}$ ($W_{min} \text{ oft } < W_{inv}$)
- Zellen kann man nebeneinander platzieren (Bounding Box)
- Nur M1



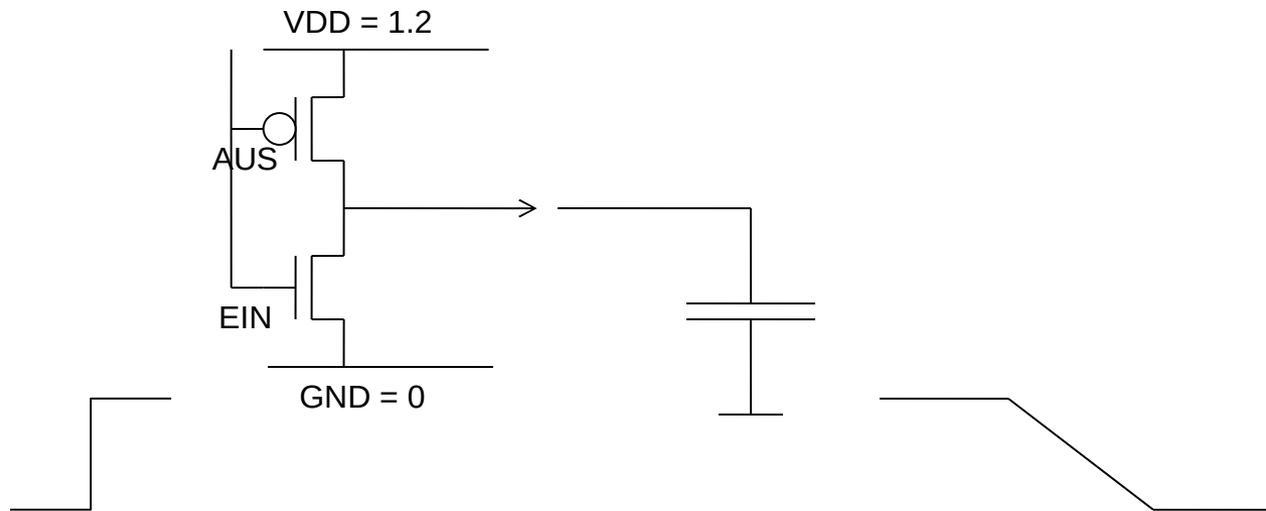
- Standardzelle



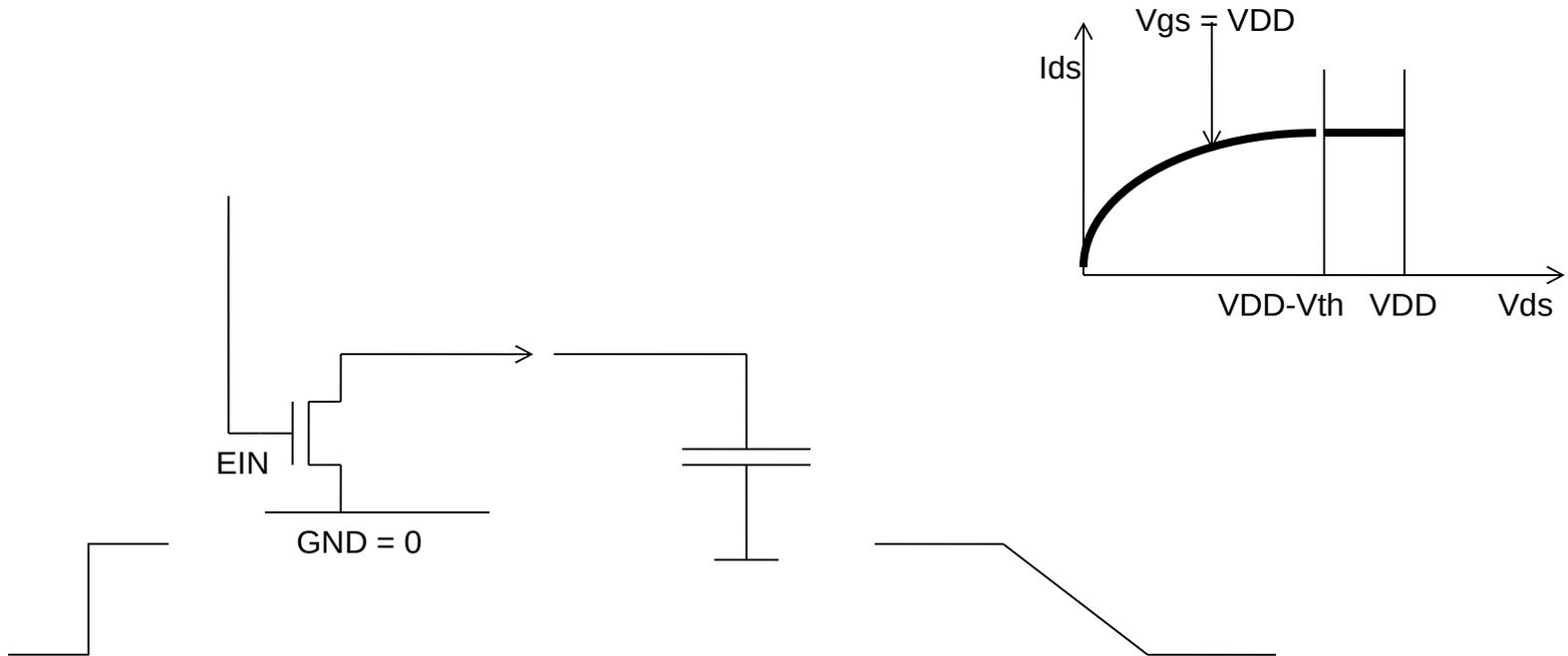
- Geschwindigkeit des Inverters



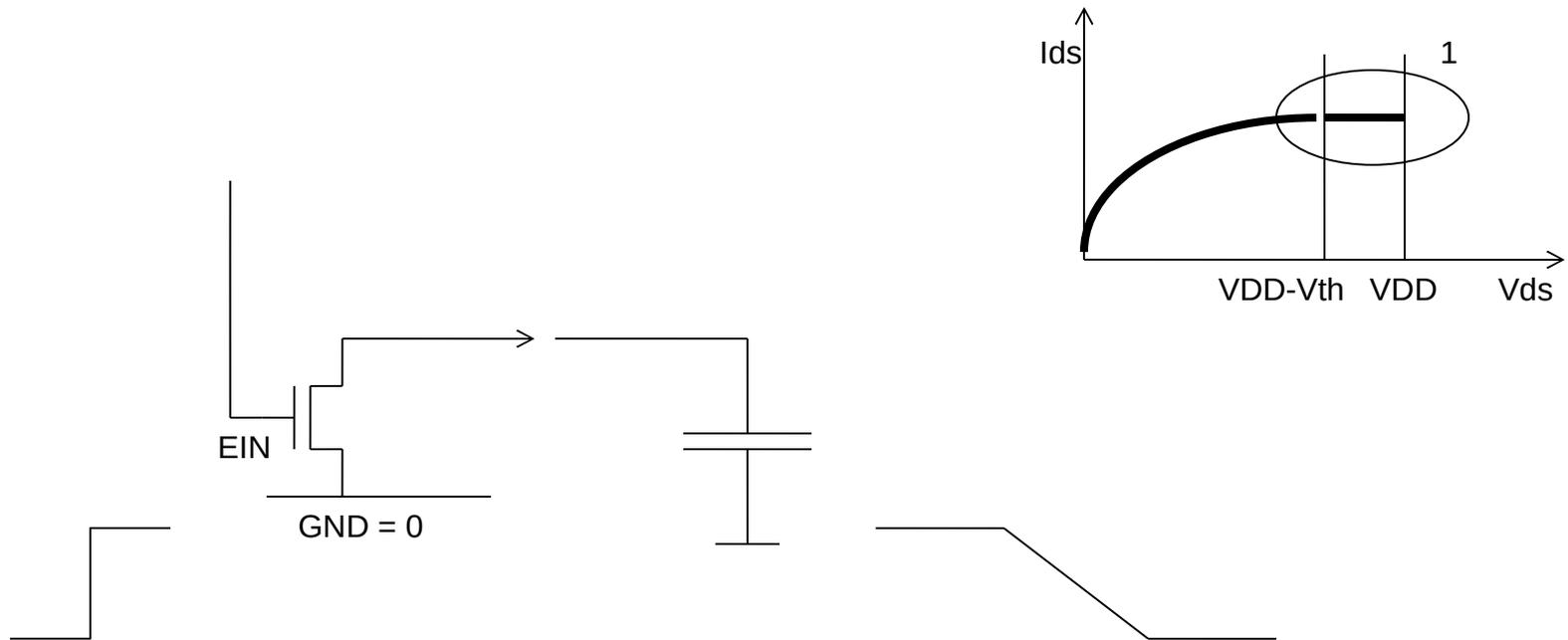
- Geschwindigkeit des Inverters



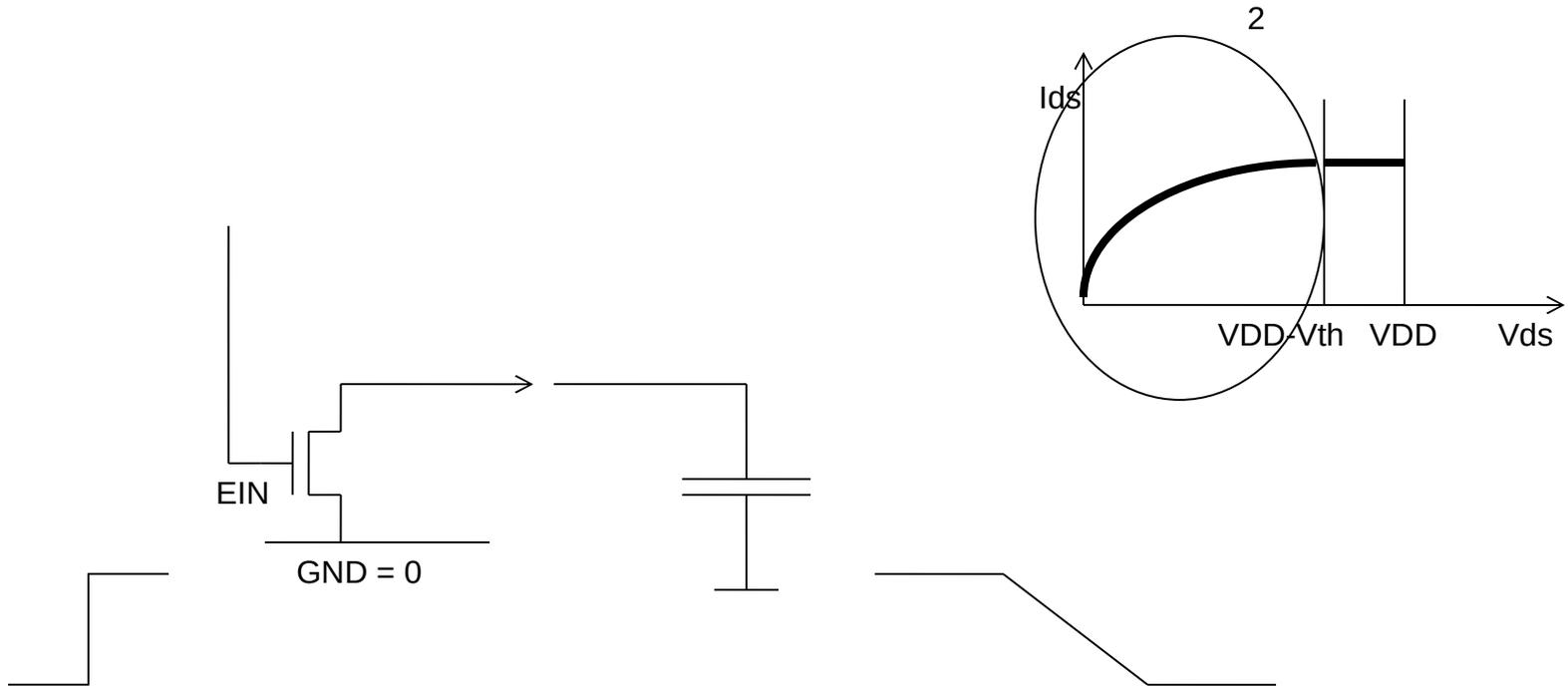
- Geschwindigkeit des Inverters



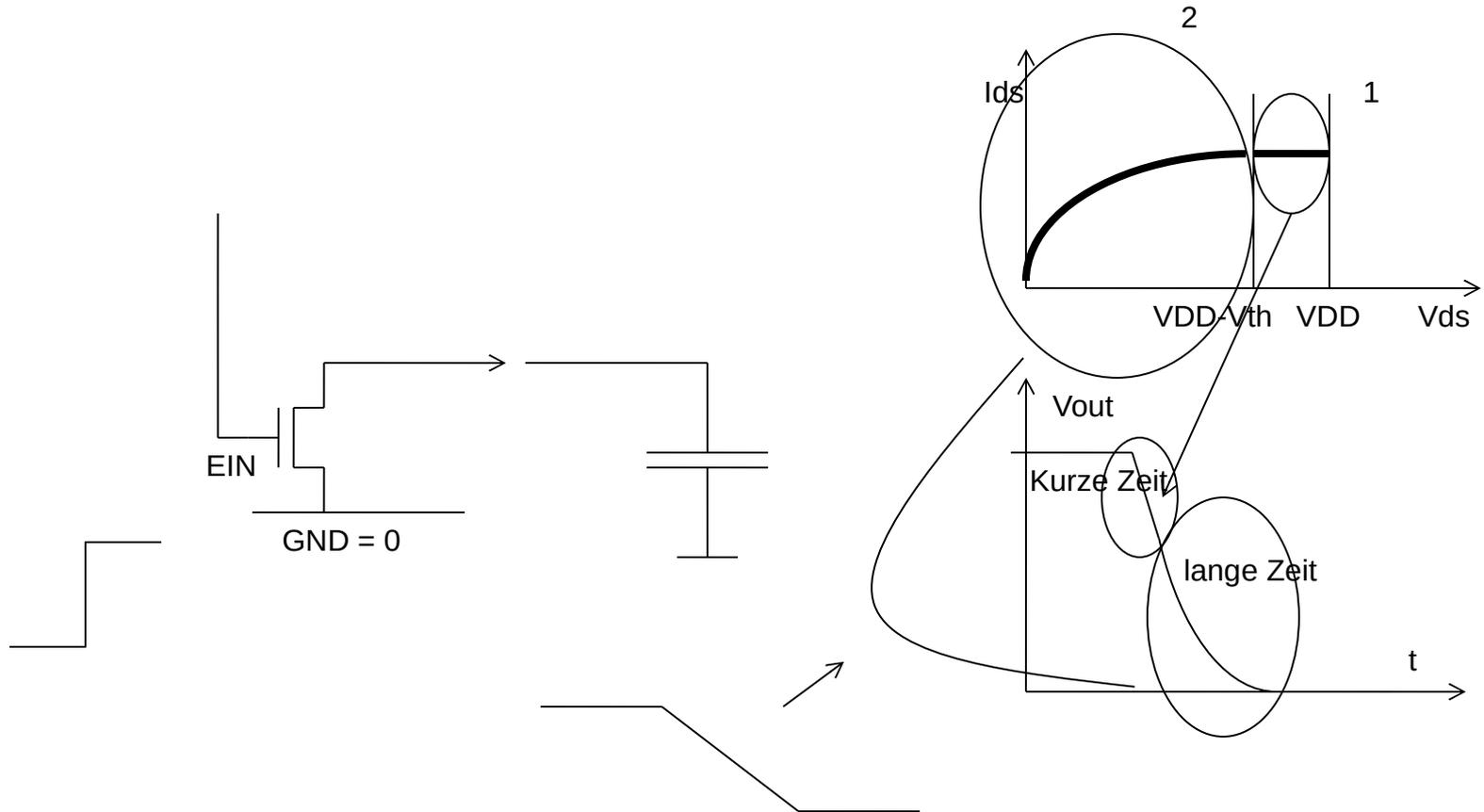
- Im Ausgangsbereich zwischen V_{DD} und $V_{DD} - V_{th}$ wird der Kondensator mit konstantem Strom entladen.



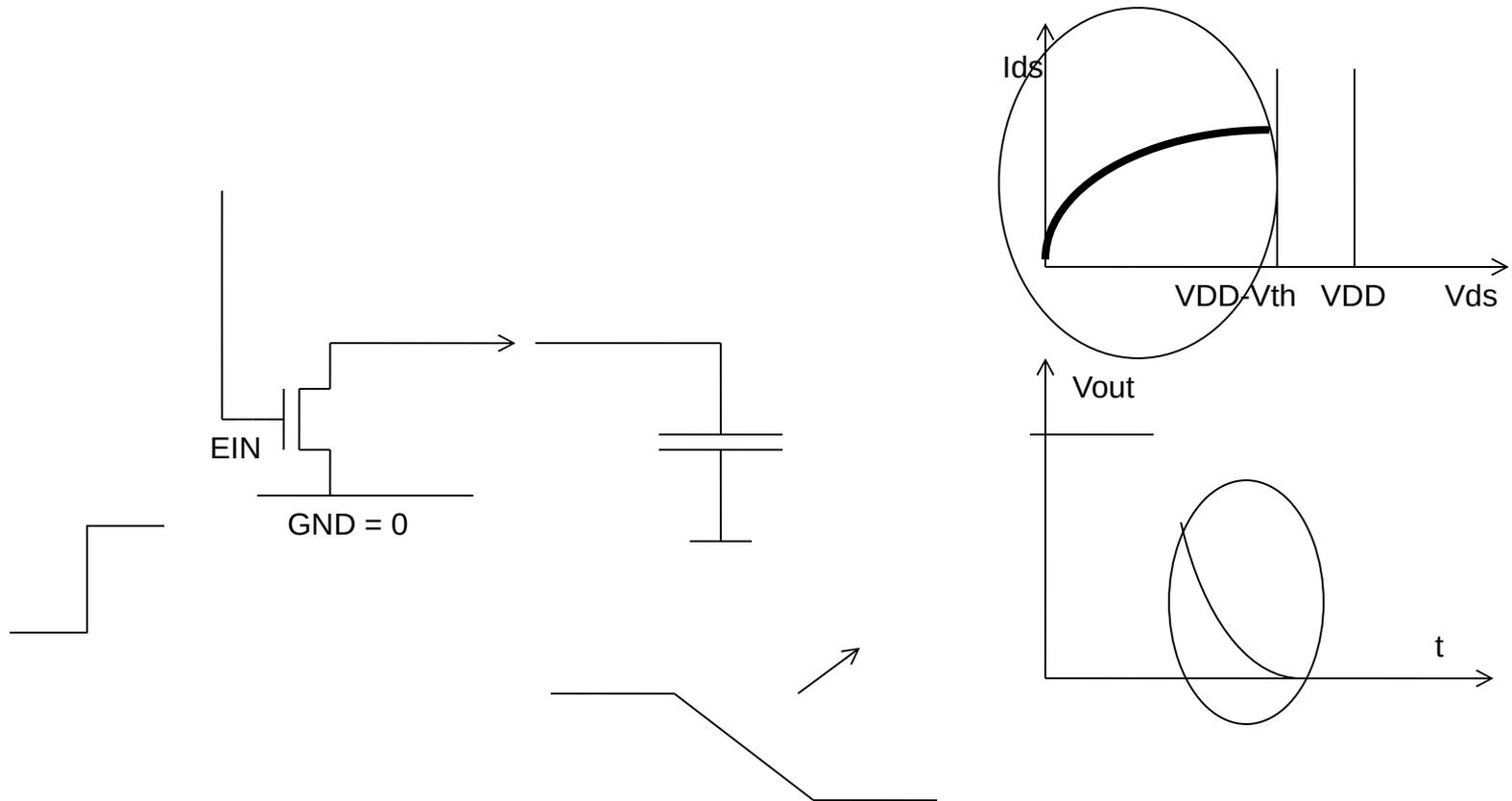
- Für $V_{out} < V_{DD} - V_{th}$ hängt der Entladestrom vom VDS ab.



- Für $V_{out} < V_{DD} - V_{th}$ hängt der Entladestrom vom V_{DS} ab.



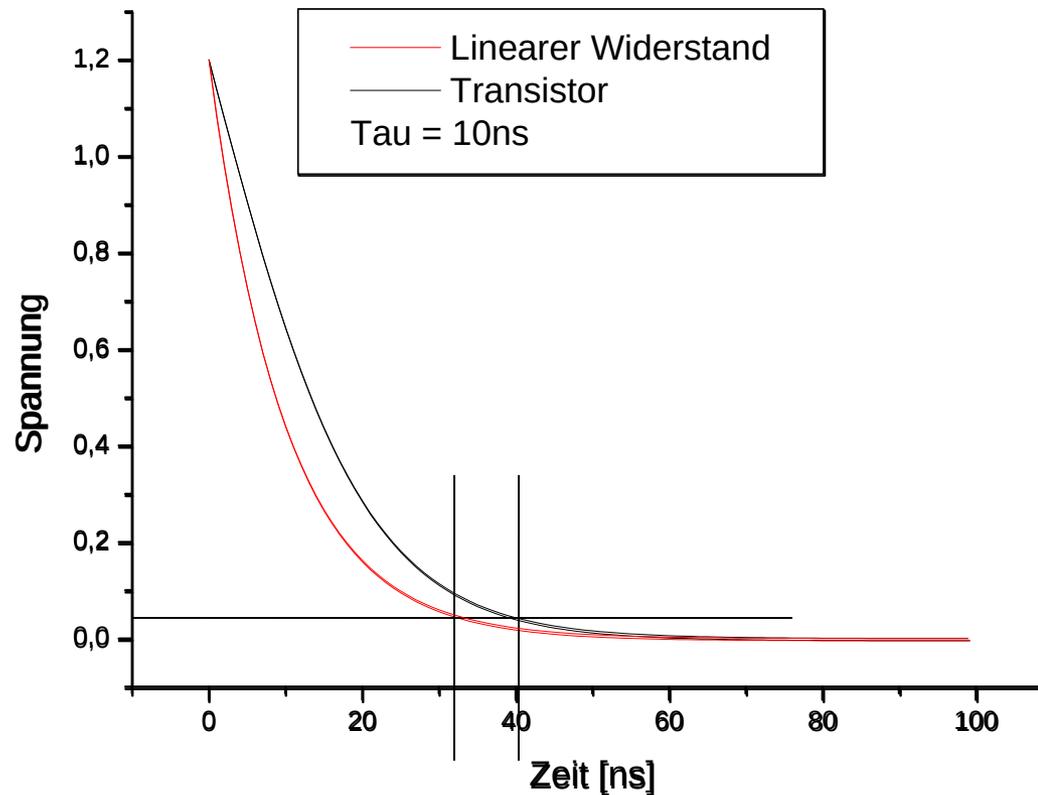
- Für $V_{out} < V_{DD} - V_{th}$ hängt der Entladestrom vom V_{DS} ab.



- $C \frac{dU}{dt} = - I_{ds}$
- $C \frac{dU}{dt} = - k (V_{ds} V_{gst} - V_{ds}^2/2) = - k (V_{gst} U - U^2/2)$
- $V_{gst} = V_{gs} - V_{th}$
- Gleichung kann analytisch gelöst werden
- Variablen werden getrennt:
- $\frac{dU}{(V_{gst} U - U^2/2)} = -k/C dt$
- Seiten werden integriert – die Gleichung gilt für $U < V_{gst}$
- Die Lösung ist
- $U(t) = 2V_{gst} \exp(-t/\tau)/(1+\exp(-t/\tau))$
- τ ist hier $T = C/K$

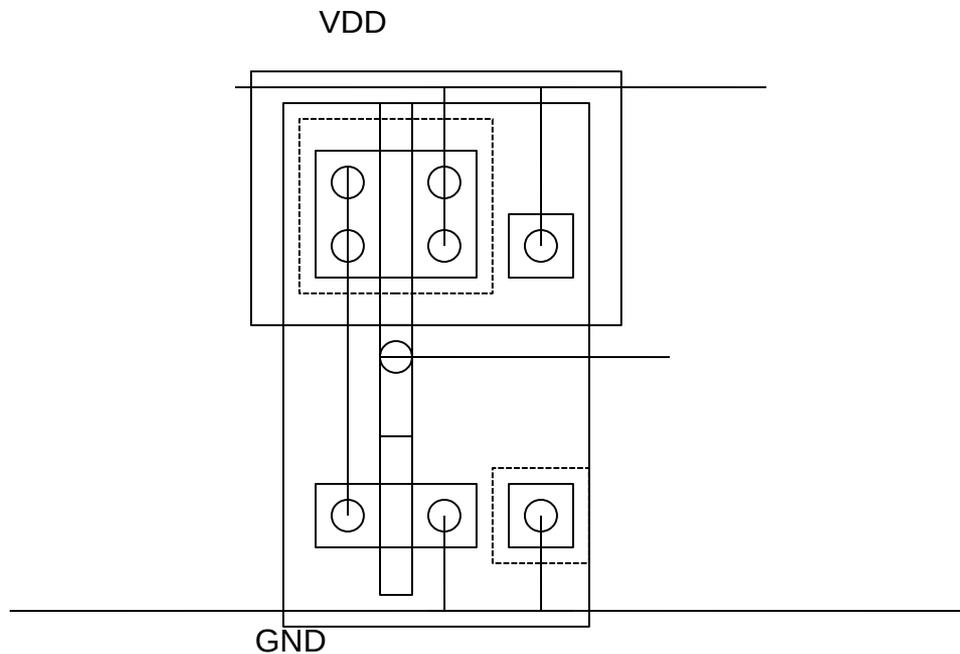
- Die Lösung ist
- $U(t) = 2V_{gst} \exp(-t/\text{Tau})/(1+\exp(-t/\text{Tau}))$
- Tau ist hier $T = C/K$
- im Bereich um $V_{ds} = 0$ verhält sich Transistor wie ein Widerstand mit $R_{on} = 1/K$.
- Die Formel oben kann dann wie folgend umgeschrieben werden
- $U(t) = 2 V_{gs} \exp (-t/R_{on}C)/(1 + \exp (-t/R_{on}C))$
- Diese Formel ist sehr ähnlich wie die Formel wenn wir eine Kapazität mit einem linearen Widerstand entladen würden
- $U(t) = U(0) \exp (-t/R_{on}C)$

- Unterschied zwischen zwei Funktionen.
- Widerstand - Entladezeit etwa $3 \cdot RC$
- Transistor - im Entladezeit etwa $4 \cdot RC$.

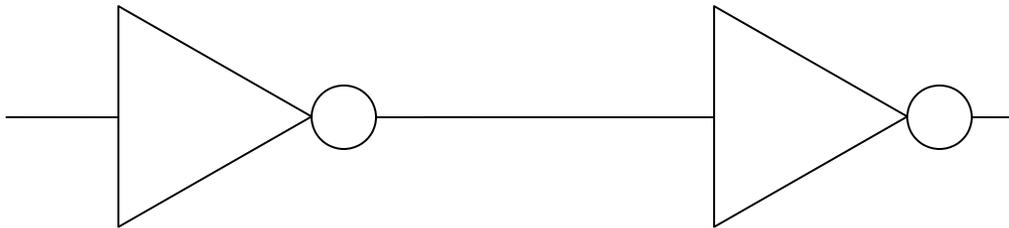


- Geschwindigkeit des Inverters, also die Entladezeit hängt direkt von der Lastkapazität ab und umgekehrt vom Faktor k .
- Faktor k hängt von Mobilität der Ladungsträger (μ) und vom Verhältnis W/L ab.
- $T \sim 4 * C / (\mu C_{ox} W/L)$
- μ und W/L vom NMOS
- Im Fall wenn sich der Eingang von VDD auf GND ändert, gilt die gleiche Formel mit dem Unterschied dass wir μ und W/L vom PMOS haben.

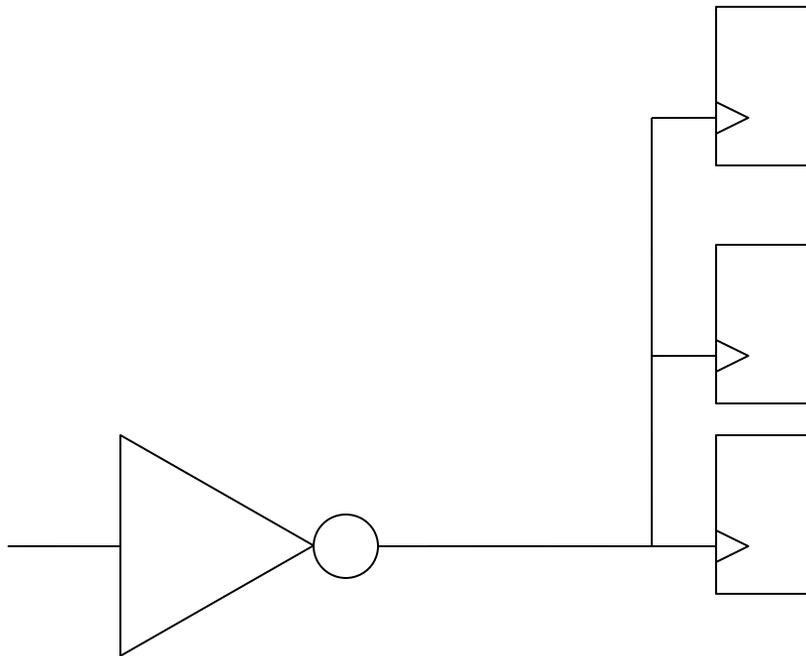
- Wenn fallende und steigende flanke gleich sein sollen, müssen wir unterschiedliche Mobilitäten für Elektronen und Löcher mit verschiedenen W/L Faktoren kompensieren.
- Deshalb sind die PMOS Transistoren normalerweise breiter.



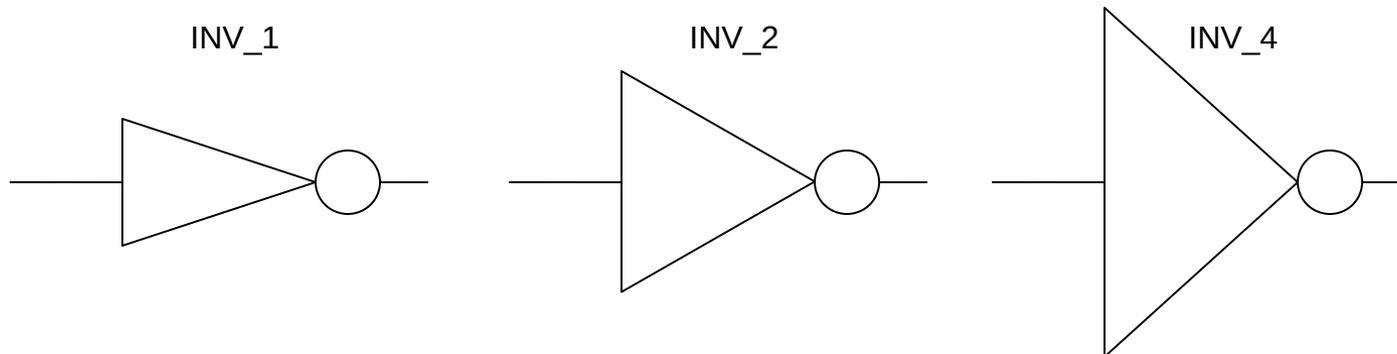
- C - Kapazität der nachfolgenden digitalen Zelle



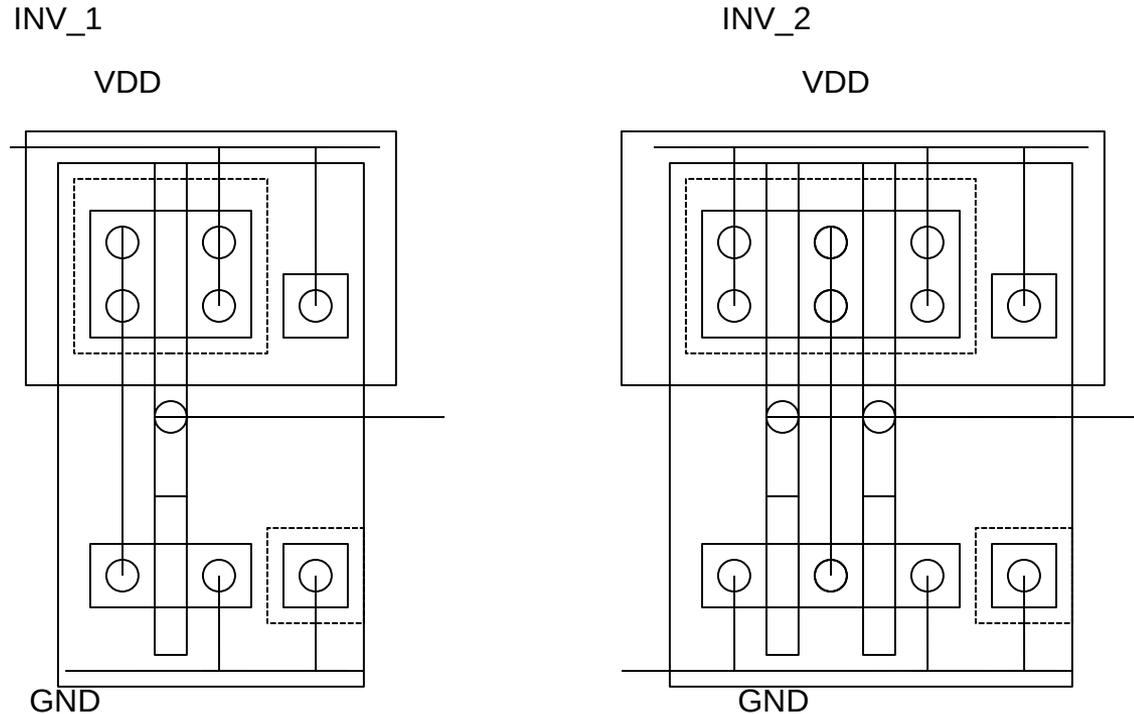
- Oft werden Invertern als Treiber für die Takt-Leitung verwendet. Eine Taktleitung ist an viele Flip Flips angeschlossen und hat große Kapazität.
- Invertern mit großem W/L Verhältnis werden benutzt



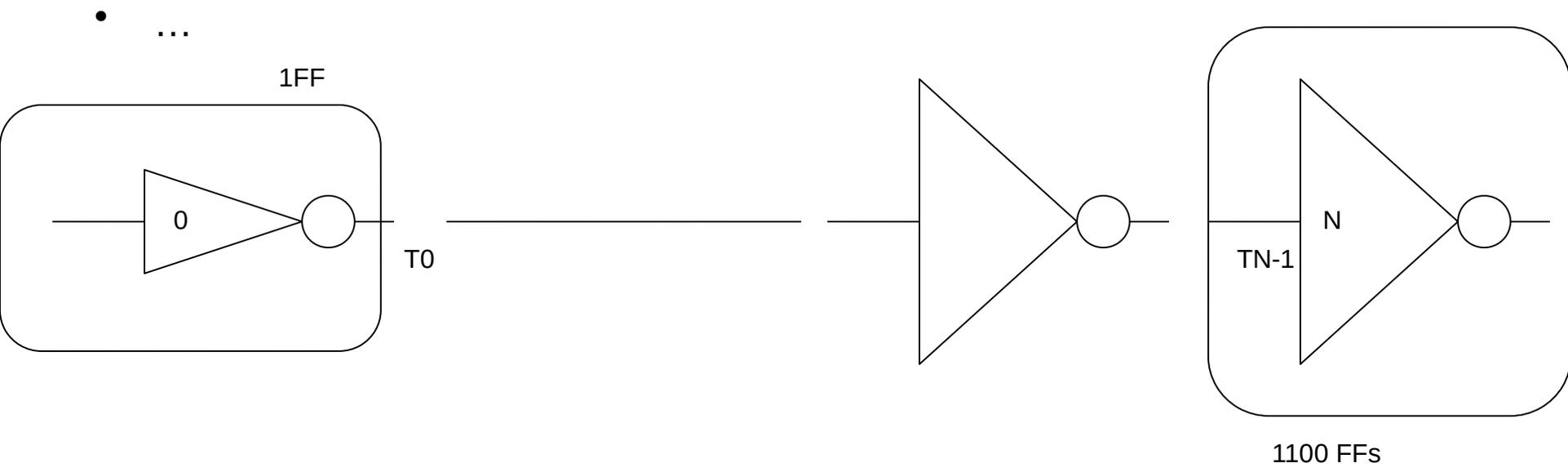
- In einer digitalen Bibliothek gibt es Invertoren (und fast allen anderen Gattern) mit verschiedenen Stärken.
- Ein kleiner Inverter hat die Stärke 1 (oder 0) - INV_1.
- INV_2 ... 4 ... 8.

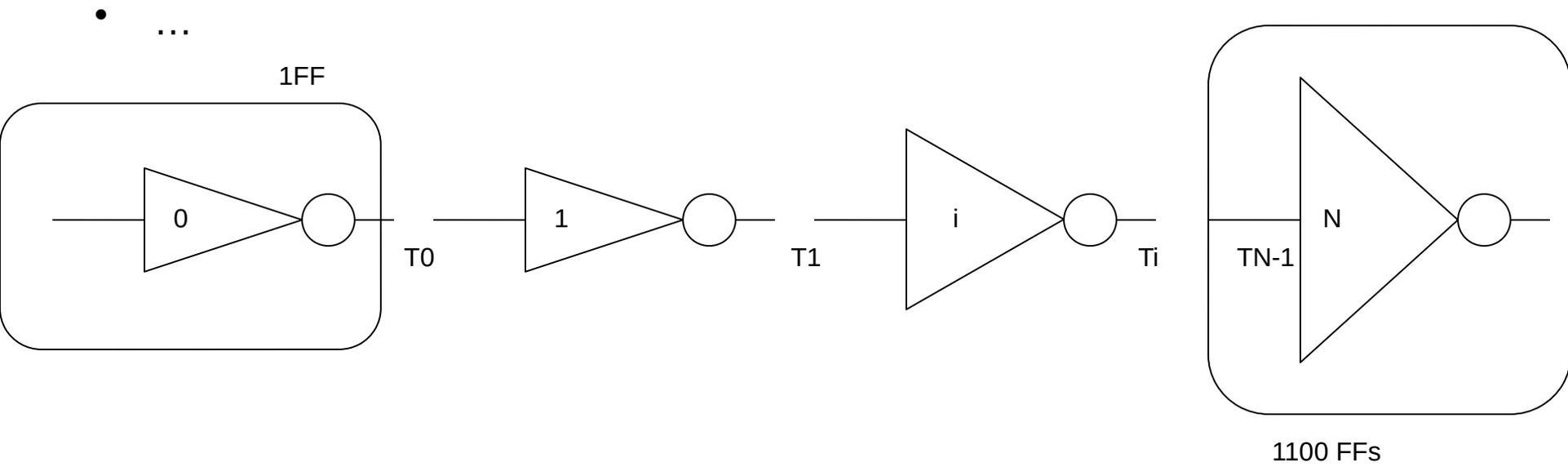


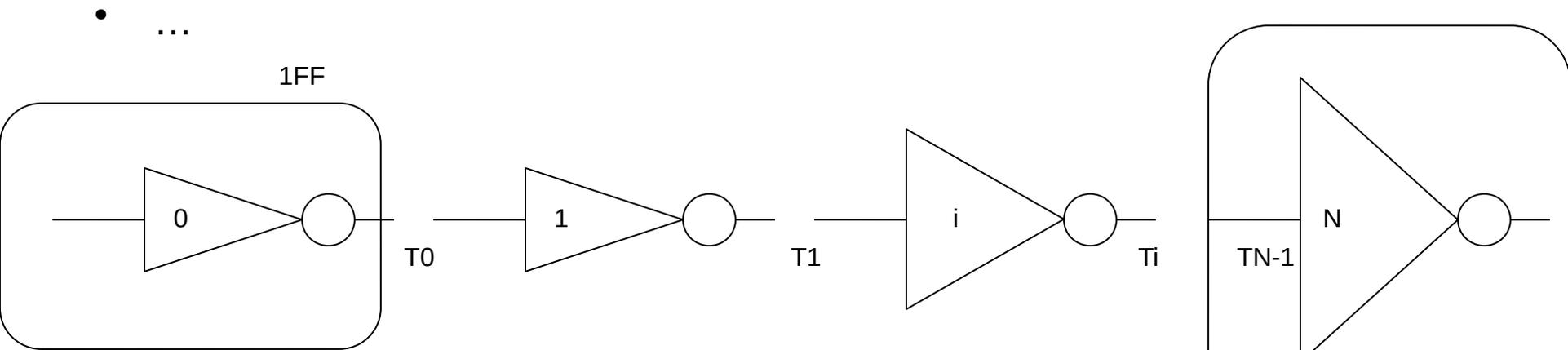
- Ein INV_2n entspricht, effektiv, zwei Parallel geschalteten INV_n.
- Layout ist normalerweise angepasst, so dass INV_2n nicht unbedingt im Layout 2x größer ist



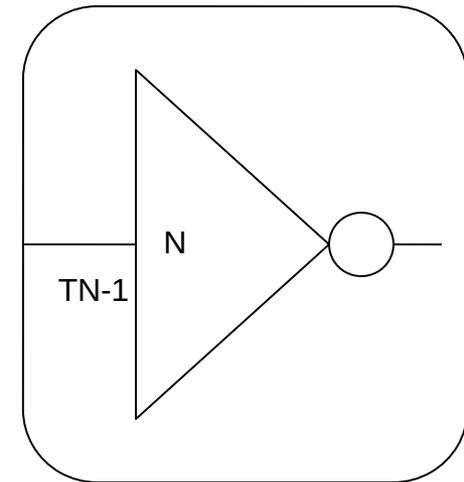




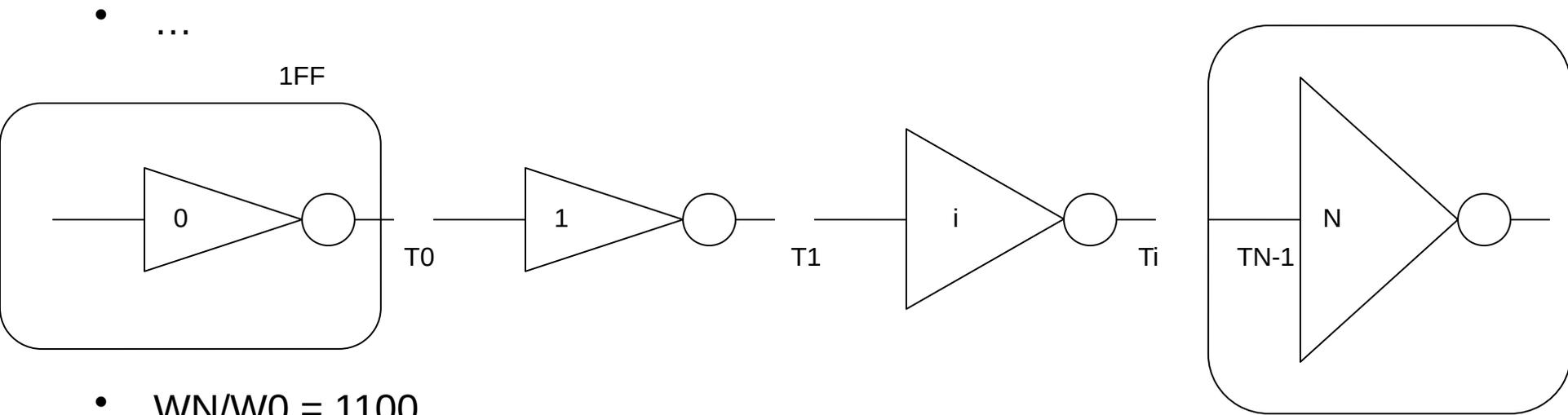




- $T_{\text{gesamt}} = \text{Summe } (T_i)$
- $T_i = \text{Alpha} \times W(i+1) L(i+1)/W_i/L_i = \text{Alpha} \times W(i+1)/W_i$
- $\rightarrow \text{Produkt } (T_i) = \text{Alpha}^{(N)} W_N/W_0$
- Verfahren der Lagrange-Multiplikatoren
- \rightarrow
- $T_i = T = \text{Alpha} K^{(1/N)}; K = W_N/W_0$
- ...
- $N = \ln(K)$
- $T = \text{Alpha} e \rightarrow W(i+1)/W_i = e$



1100 FFs

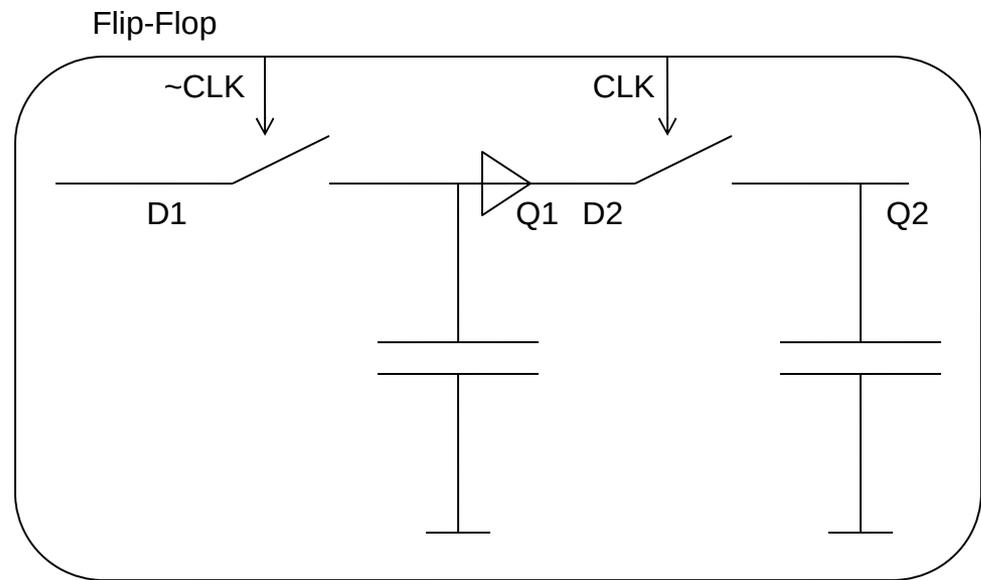
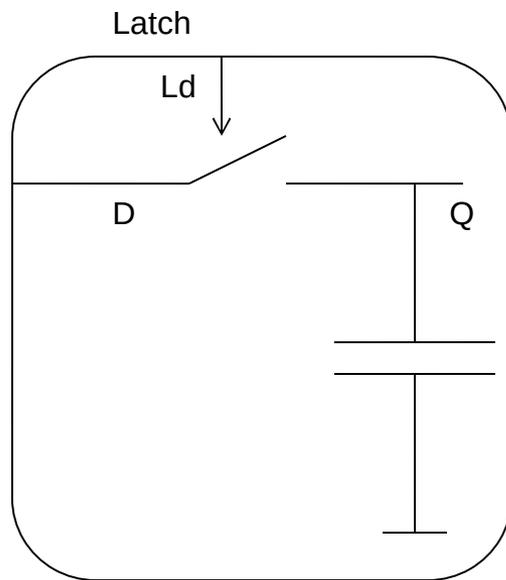


- $W_N/W_0 = 1100$
- $N = \ln 1100 = 7$
- 1x, 2.7x, 7.9x, 20x, 55x, 148x, 402x

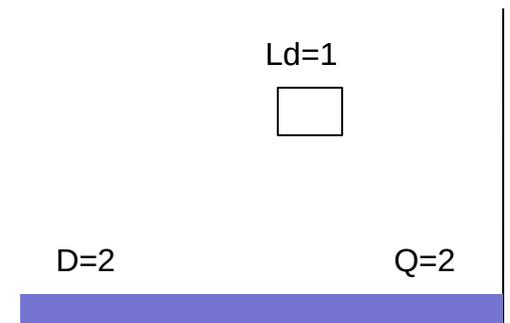
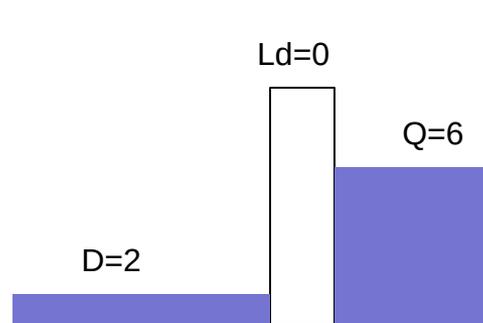
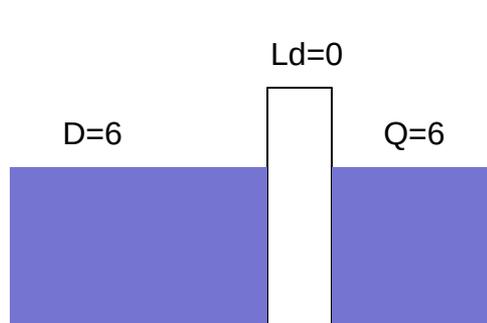
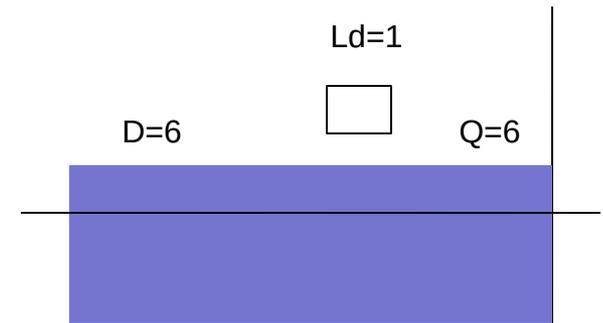
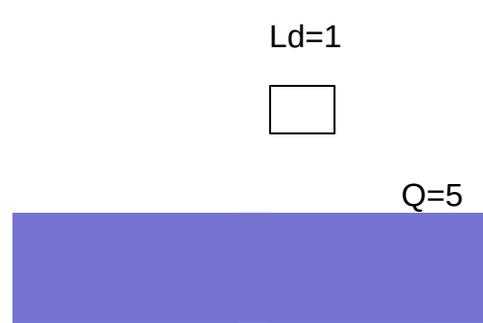
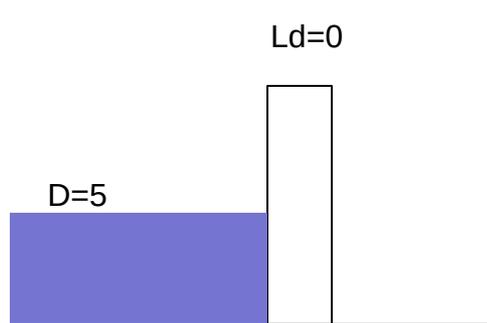
1100 FFs

Flip-Flop - Funktionsweise

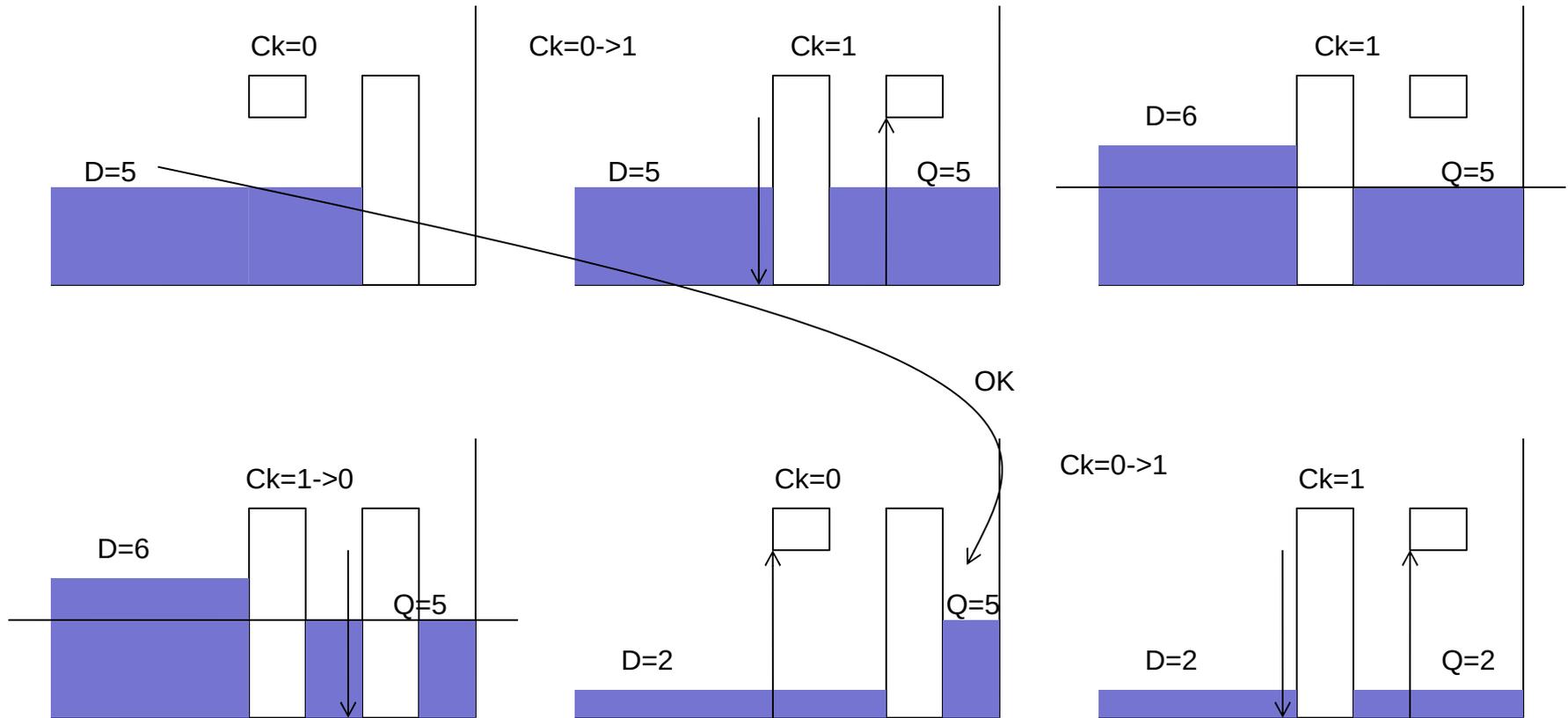
- Sequenzschaltungen
- S. Vorlesung 1 – Latch und Flip-Flop
- Latch – speichert ein Eingangsniveau (auf einem Kondensator) wenn Load Signal = 1. Wenn Load = 0, der Zustand bleibt erhalten
- Flip-Flop – 2 Latch-es in Reihe
- Der Eingangswert D wird im Moment der steigenden Talkflanke gespeichert
- Spätere Änderungen am D-Eingang haben keine Wirkung auf den Ausgang bis zur nächsten Taktflanke



- Es erinnert an ein System mit Schleusen.



- Es erinnert an ein System mit Schleusen.



- Es erinnert an ein System mit Schleusen.

